

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 11 月 28 日 (28.11.2002)

PCT

(10) 国際公開番号
WO 02/095946 A1

(51) 国際特許分類: H03K 19/173, H01L
21/82, 27/04, G06F 15/16

150-0021 東京都 渋谷区 恵比寿西一丁目 16 番 6 号
Tokyo (JP).

(21) 国際出願番号: PCT/JP02/05047

(72) 発明者; および

(22) 国際出願日: 2002 年 5 月 24 日 (24.05.2002)

(75) 発明者/出願人 (米国についてのみ): 池田 顕士
(IKEDA, Kenji) [JP/JP]; 〒142-0061 東京都 品川区 小
山台 1 丁目 12 番 12 号 サニーホーム B 号室 Tokyo
(JP). 志村 大 (SHIMURA, Hiroshi) [JP/JP]; 〒143-0016
東京都 大田区 大森北 4 丁目 15 番 17 号 Tokyo
(JP). 佐藤 友美 (SATO, Tomoyoshi) [JP/JP]; 〒305-0046
茨城県 つくば市 東 2 丁目 18 番地 10 ルーミ つく
ば 3 1 号 202 Ibaraki (JP).

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2001-155759 2001 年 5 月 24 日 (24.05.2001) JP

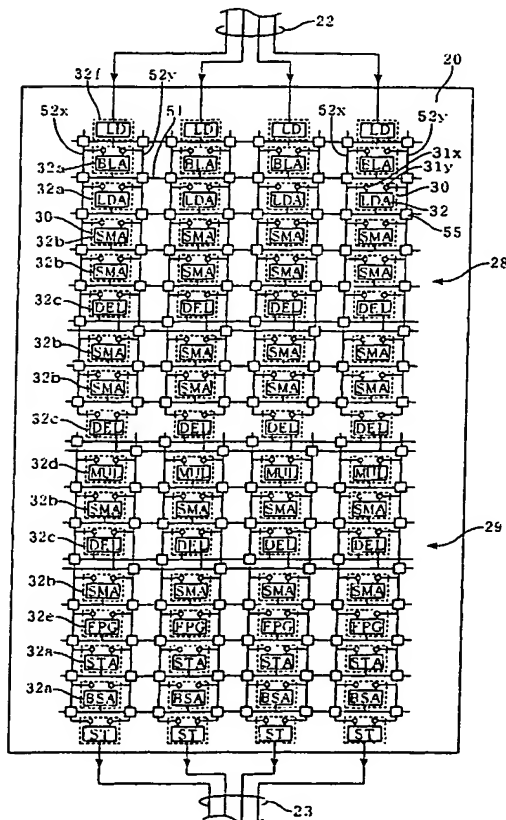
(71) 出願人 (米国を除く全ての指定国について): アイ
ピーフレックス株式会社 (IP FLEX INC.) [JP/JP]; 〒

(74) 代理人: 今井 彰 (IMAI, Akira); 〒390-0811 長野県 松
本市 中央 1 丁目 4 番 20 号 日本生命松本駅前ビル
8 階 Nagano (JP).

[続葉有]

(54) Title: INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 集積回路装置



(57) Abstract: An integrated circuit device comprises a processing section including arithmetic units arranged in a matrix, a first group of lines extending in a first direction of the matrix and adapted for transmitting input data inputted to the arithmetic units, a second group of lines extending in a second direction of the matrix and adapted for transmitting output data outputted from the arithmetic units, switching units arranged at intersections of the lines of the first and second groups and adapted for selecting a line out of the first group and a line out of the second group to interconnect them. The arithmetic units include ones suited to specific processings and having different data paths. In at least a part of the data processing section, there is an array of arithmetic units of the same type extending in the first or second direction. Since the combination of the arithmetic units of the integrated circuit device can be changed, the function can be dynamically changed. Further the integrated circuit device is constituted of arithmetic units having different data paths suitable to specific processings and consequently is compact and economical.

BEST AVAILABLE COPY

[続葉有]



WO 02/095946 A1



(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.

(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

マトリクス状に配置された複数の演算ユニットと、そのマトリクスの第1の方向に延び、各演算ユニットの入力データを伝送する複数の第1の配線群と、マトリクスの第2の方向に延び、各演算ユニットの出力データを伝送する複数の第2の配線群と、第1および第2の配線群の各々の交点に配置され、第1の配線群に含まれる任意の配線と第2の配線群に含まれる任意の配線を選択して接続可能な複数のスイッチングユニットとを備えたデータ処理区画を有する集積回路装置を提供する。これら複数の演算ユニットは、特定の処理に適した、異なるデータパスを備えた複数種類の演算ユニットを含み、データ処理区画の少なくとも一部では、同一種類の演算ユニットが第1または第2の方向の配列を形成する。この集積回路装置は、演算ユニットの組み合わせを変えることにより、機能を動的に変更でき、さらに、特定の処理に適した異なるデータパスを備えた演算ユニットで構成されるので、コンパクトで経済的である。

明 細 書

集積回路装置

5 技術分野

本発明は、複数の演算ユニットがマトリクス状に配置された集積回路装置に関するものである。

背景技術

- 10 論理ゲートをアレイ状に敷き詰めてその間の結線を自由に変更することができる集積回路装置としてFPGA (Field Programmable Gate Array) が知られている。FPGAは、大きく分けると、複数の論理ブロックと、これらの論理ブロックの間を接続する配線によって構成されている。論理ブロックは、ルックアップ
15 テーブルとフリップフロップを含む回路ユニットであり、ルックアップテーブルの設定値を変えることにより、ビット単位でANDあるいはORなどの論理関数を実現する論理ゲートとして機能する。複数の論理ブロックは、アレイ状あるいはマトリクス状に配置され、行配線および列配線により接続される。行配線および列配線は、それらの配線の交点でスイッチマトリクスなどによって接続されて
20 配線の組換えが可能となっており、それにより論理ブロックの組み合わせを変更することができる。

- FPGAはトランジスタレベルでの接続を変更可能なアーキテクチャとして発展しており、実行可能な機能を製造した後にある程度自由に変更することが可能な集積回路装置である。したがって、FPGAは、各種の専用演算回路を同一のハードウェアで実現することが可能であり、さらに、実現される機能を、ある程
25 度動的に制御できる可能性のあるアーキテクチャである。また、汎用的に利用可能なアーキテクチャを提供するために、FPGAを構成する論理ブロックは同一構成であり、個々の論理ブロックで実現可能な論理関数をAND、ORあるいはNAND程度のレベルに限定されている。さらに、処理するデータもビット単位である。したがって、個々の論理ブロックは4ビット程度のSRAMから成る

ルックアップテーブルを搭載しているに過ぎない。

FPGAは、ルックアップテーブルを含む論理ブロックでANDやORなどの論理ゲートの機能を実現し、それらを組み替え可能な配線群で接続することにより各種の専用演算回路としての機能を実現する。したがって、実現可能な機能に対して面積効率は低く、演算速度もそれほど高くはならない。さらに、FPGAで実現可能な機能を変更しようとする、膨大な数の論理ブロックの機能を変更する必要がある、ダイナミックに変更することは無理である。各々の論理ブロックをダイレクトに制御できるような特殊なハードウェアを設けることにより機能を変更する時間を短縮することが可能であるとしても、アプリケーションの実行中に特殊なハードウェアを動的に制御することは難しく、さらに、経済的な解であるとも言えない。

これに対し、本願の発明者らは、適当な、あるいは特定の処理に適したデータパス（ハードウェアロジックあるいは回路）を予め備えた複数種類の演算ユニットを用意し、これらの演算ユニット間の接続を変えることにより所望の専用演算回路としての機能を定義できる集積回路装置を提案する。この集積回路装置であれば、FPGAのようにトランジスタレベルでの接続をすべて変更する必要がないので、短時間でハードウェアを再構成できる。FPGAのようにトランジスタレベルでの汎用性を要求するアーキテクチャではないので、実装密度も向上でき、コンパクトで経済的なシステムを提供できる。さらに、冗長な構成を削減することができるので、処理速度も高速になり、AC特性も向上する。

しかしながら、FPGAは各回路ユニットあるいは回路ブロックが同一の構成であるために、これらの回路ブロックをマトリクス状に配列し、それらの間に行配線および列配線を配置するレイアウトは極めて規則性が高く、設計も容易であり、さらに素子レベルの面積効率も高い。これに対し、特定の処理に適したデータパスを備えた演算ユニットは、その処理により内蔵するデータパスが異なるので回路構成は同一にならない。したがって、各種の演算ユニットをシリコン基板上で実現するために必要となる面積は同一にはならない。単一構成のFPGAと同じようなマトリクスを得るために、各種の演算ユニットが内蔵するデータパスが異なるにも関わらず各種の演算ユニットが占める面積を同一にするように配置

することは可能である。すなわち、占有面積が最大となる演算ユニットに揃えたマトリクスで複数の演算ユニットをレイアウトすることも可能である。しかしながら、面積効率は低下し、集積回路が非常に大きくなり、AC特性が悪化する要因となる。したがって、特定の処理に適したデータパスを備えた演算ユニットからなる集積回路装置の本来のメリットを十分に活かすことができない。

そこで、本発明においては、特定の処理に適したデータパスを備えた複数種類の演算ユニットを含む集積回路装置を実際に設計する上で、そのような演算ユニットのメリットを十分に活かすことができる集積回路装置を提供することを目的としている。そして、コンパクトで経済的な集積回路装置であり、処理速度も速く、AC特性も良好な集積回路装置を提供することを目的としている。

発明の開示

本発明の集積回路装置は、第1および第2の方向にマトリクス状に配置された複数の演算ユニットと、複数の演算ユニットの第1の方向の配列に対応して第1の方向に延び、各演算ユニットの入力および／または出力データを伝送する複数の第1の配線群と、複数の演算ユニットの第2の方向の配列に対応して第2の方向に延び、各演算ユニットの入力および／または出力データを伝送する複数の第2の配線群と、第1および第2の配線群の各々の交点に配置され、第1の配線群に含まれる任意の配線と第2の配線群に含まれる任意の配線を選択して接続可能な複数のスイッチングユニットと、を備えたデータ処理区画を有する。この集積回路装置においては、さらに、複数の演算ユニット（Operation Unit）が、特定の処理に適した、異なるデータパスを備えた複数種類の演算ユニットを含み、あるいは複数種類の演算ユニットに分類でき、さらに、同一種類の演算ユニットが第1または第2の方向の配列を形成する。

各々が特定の処理に適したデータパスを備え、特定の算術演算または論理演算、それらの組み合わせを実行可能な小規模な、しかしながらバイトあるいはワード単位のデータを処理できる、ユニットを本明細書では演算ユニットと呼ぶ。この演算ユニットは、エレメント、論理エレメント、論理ユニットあるいは回路ユニットなどとも称されるものである。特定の処理に適した、異なる、あるいは固

有のデータパスを備えた複数種類の演算ユニットを半導体基板上に実現するための面積は、各種の演算ユニットにより異なる可能性が高い。しかしながら、同一種類の演算ユニットであれば占有する面積は同じになる。したがって、同一種類の演算ユニットにより、第1の方向または第2の方向の配列を形成することにより、配列された方向では、演算ユニットのサイズの差による凸凹はなくなる。第1の方向を行方向（水平あるいは横ライン方向）とすると、第2の方向は列方向（垂直あるいは縦ライン方向）となる。たとえば、同一種類の演算ユニットにより第1の方向の配列を形成すれば、複数の演算ユニットを、第1の方向に、直線的な、同一幅の帯を形成するように配置できる。したがって、種類毎にデータパスが異なりサイズが異なる可能性の高い複数の演算ユニットを、第2の方向には無駄なスペースを発生させずに、第1の方向は直線的に配置できる。第1の方向に演算ユニットが凹凸なく直線的に並ぶので、少なくとも第1の方向の配線群は直線的にレイアウトできる。このため、異なるデータパスを備えた演算ユニットがマトリクス状に配置された集積回路装置の面積効率および集積度を高めることが可能であり、経済的で処理速度が速くAC特性も良好な集積回路装置を提供できる。

同一種類の演算ユニットを多数配置するときは、第1または第2の方向に複数の配列を形成するように配置することができる。ある種類、たとえば第1種の演算ユニットの数が、第2種の演算ユニットの数より非常に多い場合、第2種の演算ユニットの配列に単純に合わせて、第1種の演算ユニットを配置すると、データ処理区画の形状が細長くなりすぎて面積効率が低下する可能性がある。この場合は、第2種の演算ユニットの配列に、第1種の演算ユニットの配列を繋げることにより、データ処理区画の形状を改善することが望ましい。この場合も、データ処理区画の少なくとも一部である、第2種の演算ユニットの配列の幅の範囲では、同一種類の演算ユニットにより第1または第2の方向の配列が形成される。

同一種類の演算ユニットを第1の方向に配列した場合、種類によりサイズの異なる演算ユニットであっても第1の方向には直線に凹凸のない状態で並ぶが、第2の方向の直線性は保障されない。したがって、複数種類の演算ユニットを第1の方向に等間隔で配置し、第2の方向の直線性を保障することが望ましい。これ

により、第2の方向の配線群を直線的にレイアウトすることが可能となり、演算ユニットを結ぶ配線長を最短にすることができる。それと共に、第1および第2の配線群を全て直線的に配置することが可能となり、異なるデータパスを備えた演算ユニットがマトリクス状に配置された集積回路装置のデザインが容易になる。

- 5 各種の演算ユニットの第1の方向のサイズが異なると第2の方向は最も効率の良い配置とはならない。しかしながら、各種の演算ユニットが必要とする面積の差を、第2の方向は等しくなるように設計し、第1の方向でその差を吸収することにより、第1および第2の方向とも最密となるように効率良く各種の演算ユニットを配置することができる。

- 10 第1および第2の配線群はデータを伝送するデータバスとなるバス配線に加え、キャリー信号を伝送するキャリー配線を設けておくことが望ましい。桁上げ用の信号や真偽を示す信号をデータバスと同様の経路で演算ユニットから演算ユニットに伝送することができる。

- 演算ユニットは第1の配線群および第2の配線群のいずれからデータを入力しても良く、いずれにデータを出力しても良い。しかしながら、一方の配線群からデータを入力し、他方の配線群にデータを出力するように規則を決めることにより、常に1つのスイッチングユニットを経由するだけで演算ユニットから演算ユニットにデータを伝送できる。このため、演算ユニットは、第2の配線群に含まれる任意の配線から信号を入力する手段と、第1の配線群に含まれる任意の配線
15 20 に信号を出力する手段とを備えていることが望ましい。

- また、演算ユニットは各々が特定の処理に適したデータパスを備えているので、算術演算、論理演算などの複数の入力データがある処理を行う場合には、それに即した配置にすることができる。したがって、入力配線となる第2の配線群として、演算ユニットの第2の方向の配列の両側に沿って延びた1組の配線群を設け、
25 演算ユニットに複数の入力データを取り込みやすい配線にすることが望ましい。

さらに、マトリクスに含まれる演算ユニットが多くなり、それらをフレキシブルに接続しようとする演算ユニットの数に対応した配線が必要となり、膨大な配線量が要求される。したがって、マトリクスを複数に分け、隣接して配置された第1のマトリクスと第2のマトリクスの境界に、データの伝送を遅延する処理

に適した演算ユニットを配列し、第1および第2のマトリクスの中で第1および第2の配線群をいったん切り離すと共に、第1および第2のマトリクスの中で伝送される信号だけが第1および第2のマトリクスの配線を共有するようにすることが望ましい。

- 5 特定の処理に適したデータパスを備えた演算ユニットとして、少なくとも1つの異なる命令あるいは命令レベルの処理に適したデータパスを備えた幾つかの種類の演算ユニットを用意することが望ましい。本明細書において、命令とは、特に断らない限り、プログラムを記述するための命令セットを構成する命令を意味し、複合命令、マクロ命令、ファンクション・コールなどを含む。したがって、
- 10 各論理ユニットは、データを8ビットのバイト単位、あるいは、16、32さらには64ビットなどのワード単位で処理するものとなる。この集積回路装置では、実行する処理を、演算ユニットがサポートする命令のプログラム言語で記述できれば、演算ユニットの配置配線に変換することにより、その処理を実行するための集積回路装置を簡単に設計および製造できる。
- 15 すなわち、本発明では、第1および第2の方向にマトリクス状に配置された複数種類の演算ユニットと、それら複数種類の演算ユニットを接続する配線群とを備えたデータ処理区画を有し、複数種類の演算ユニットは、少なくとも1つの異なる命令を実行可能なデータパスを備えた種類の異なる種類の演算ユニットを含んでいる集積回路装置を提供する。この集積回路装置を設計する際は、当該集積
- 20 回路装置において実行する処理の少なくとも一部を、複数種類の演算ユニットのいずれかにより提供される、あるいは実行可能な命令のプログラム言語で記述された中間記述に変換する。次に、その中間記述の処理を実行可能な複数種類の演算ユニットの実行用の組み合わせを生成し、実行用の組み合わせを実現できるように複数種類演算ユニットが配置されたデータ処理区画を生成する。これにより、
- 25 与えられた処理を実行可能な集積回路装置を短時間に手間なく設計および製造できる。そして、この設計および製造方法により提供される集積回路装置は、与えられた処理をハードウェアで実行するものになるので、高い処理速度を備えたものとなる。

命令レベルの処理に適したデータパスを備えた演算ユニットとしては、データ

の入力処理に適したデータパスを備えた第1種の演算ユニット、入力データのアドレスを指定する処理に適したデータパスを備えた第2種の演算ユニット、データの出力処理に適したデータパスを備えた第3種の演算ユニット、出力するデータのアドレスを指定する処理に適したデータパスを備えた第4種の演算ユニット、

5 整数の加減などの算術演算および／または比較、選択などを含む論理演算処理に適したデータパスを備えた第5種の演算ユニットがある。掛け算を第5種の演算ユニットに含めても良いが、それにより第5種の演算ユニットが大きくなりすぎる場合は、乗算処理に適したデータパスを備えた第6種の演算ユニットを別に設けることも有効である。これらの種類の演算ユニットにより、多くの処理において

10 時間が費やされる検索処理や計算処理を記述あるいは定義する命令を実行することが可能である。したがって、高い頻度で繰り返し実行される処理、たとえば、信号処理やループ処理を、多数のハードウェアリソースに展開して高速に処理できる。

すなわち、本発明により、少数のハードウェアリソースを繰り返し使用する従来のソフトウェア手法では実行速度が上がらない部分を多数のハードウェアリ

15 ソース上に展開して同時実行することによりパフォーマンスを向上できる。

これらの演算ユニットを配置してデータ処理区画においてスムーズなデータフローを形成するには、データの入力命令および／または出力命令の処理に適したデータパスを備えた演算ユニットが、データ処理区画の一方の端と他方の端に配

20 列されていることが望ましい。また、パイプライン的な処理を実行するためには、各演算ユニットで消費されるクロックを明確にする必要がある。このために、各演算ユニットは、入力データをラッチする入力側のフリップフロップと、出力データをラッチする出力側のフリップフロップとを備えていることが望ましい。ただし、入力命令あるいは出力命令の処理に適したデータパスは、それ自体がバ

25 イットあるいはワード単位でデータをラッチするフリップフロップであることがあり、この場合は、1つのフリップフロップで入力データと出力データをラッチすることになる。

内蔵されたデータパスが異なると、演算ユニットで消費されるクロック数も異なる。また、データ処理区画におけるパスが異なると、演算ユニットに到達する

タイミングも異なる。したがって、データの伝送時間を遅らせる処理に適したデータパスを備えた第7種の演算ユニットを備えていることが望ましい。また、演算ユニットの組み合わせを生成する際も、タイミング調整のために、そのような演算ユニットを含めた実行用の組み合わせを生成する。

- 5 さらに、演算ユニットで処理可能な範囲を広げるためには、データ処理区画の外部に配置された演算回路と接続する処理に適したデータパスを備えた第8種の演算ユニットも有用である。また、ルックアップテーブルにより処理が選択されるデータパスを備えた第9種の演算ユニットも有用である。さらに、同一種類の演算ユニットを同一方向に配列することにより、複数の同一の演算ユニットが連携し、拡張された演算機能を提供するようにしても良い。そのために、同一方向に配列された同一種類の演算ユニットは、複数の演算ユニットが連携して拡張された演算機能を提供するためのパスを備えていることが望ましい。たとえば、算術演算処理に適した演算ユニットであれば、単精度の演算ユニットを同一方向に並べることにより倍精度の演算処理を行わせることができる。
- 10 さらに、複数のデータ処理区画と、これらのデータ処理区画を接続する第3の配線群とを設けることにより、演算ユニットの組み合わせで処理可能な範囲を大幅に拡張できる。
- 15 さらに、複数のデータ処理区画と、これらのデータ処理区画を接続する第3の配線群とを設けることにより、演算ユニットの組み合わせで処理可能な範囲を大幅に拡張できる。

- 本発明の集積回路装置は、第1の配線群に含まれる任意の配線と第2の配線群に含まれる任意の配線を選択して接続可能なスイッチングユニットを制御することにより、演算ユニットに供給されるデータのルートを変え、データ処理のための演算ユニットの組み合わせを変えることができる。したがって、本発明においては、複数種類の演算ユニットが配置され、配線群により複数種類の演算ユニットに供給されるデータのルートを変えてデータ処理のための複数種類の演算ユニットの組み合わせを変更可能なデータ処理区画を有し、複数種類の演算ユニットは、少なくとも1つの異なる命令レベルの処理に適したデータパスを備えた、異なる種類の演算ユニットを含んでいる集積回路装置を提供できる。この集積回路装置では、製造後に、データ処理区画の機能や実行可能な処理内容を変えることができる。トランジスタレベルで回路をマッピングすることを目的としたFPGAと異なり、予め特定の処理に適したデータパスを備えた演算ユニットの組み
- 20
- 25

合わせを変えることで機能や処理内容を変更するので、短時間に処理内容を変更できる。したがって、ハードウェアで行う処理内容を動的に変更する能力を備えた集積回路装置を提供できる。

- さらに、この集積回路装置のデータ処理区画は、全体として異なる処理を実行可能な汎用性を備えているが、各々の演算ユニットは、予め特定の処理に適したデータパスを備えた専用的な回路ユニットで汎用性は低い。したがって、冗長な部分は少なくなり、回路に無駄が発生しにくいので、コンパクトで経済的であり、さらに処理速度の速い集積回路装置を提供できる。

- 演算ユニットの組み合わせのフレキシビリティを向上するには、演算ユニットに、第1の配線群および第2の配線群に含まれる任意の配線を選択して信号を入力または出力する手段を設けることが望ましい。演算ユニットに、配線を選択を記憶する書き換え可能なコンフィグレーションメモリを設け、スイッチングユニットに、配線を選択を記憶する書き換え可能なコンフィグレーションメモリを設けることが望ましい。コンフィグレーションメモリ、たとえばレジスタの内容を書き換えることにより、データ処理区画の機能を動的に変更できる。また、変更する内容を予めメモリに記録しておくことにより、広範囲の演算ユニットにより構成される機能を1クロックで簡単に変更できる。

- 集積回路装置に、コンフィグレーションメモリの内容を書き換えられる制御ユニットを搭載することにより、ハードウェアで実行可能な処理内容をプログラムにより制御できる集積回路装置を提供できる。制御ユニットはシーケンサあるいはマイクロコードメモリによる小規模なものでも良い。しかしながら、プログラムにより演算ユニットの組み合わせを変えることができる程度の機能を備えた演算ユニットが望ましい。演算ユニット（論理エレメントまたは論理ユニット）がマトリクス状に配置されたデータ処理区画と、リスクプロセッサなどの汎用プロセッサとを共存させることにより、少数のハードウェアリソースを繰り返し使用する従来のソフトウェア手法が適している処理は汎用プロセッサで実行し、実行速度が上がらない部分をデータ処理区画で実行することができる。さらに、汎用プロセッサにおける処理とデータ処理区画における処理を並列実行することも可能である。さらに、データ処理区画を構成する演算ユニットから他の演算ユニッ

トのコンフィグレーションメモリを設定することも可能である。

プログラムにより制御できる集積回路装置においては、実行する処理を演算ユニットがサポートする命令を含むプログラム言語で記述し、その中間記述を実行可能な複数種類の演算ユニットの実行用の組み合わせを指示する命令を含めることにより、集積回路装置の実行プログラムを作成できる。中間言語は、アセンブリライクの線形性が高く、データフロープログラムを生成しやすいものが望ましい。

さらに、演算ユニットに、内部のデータパスの一部を変更および／または選択する手段を設けることにより、データ処理区画でハードウェアにより実行できる機能あるいは処理の選択肢を広げることができる。そして、コンフィグレーションメモリに内部のデータパスの変更および／または選択も記憶させることができる。命令レベルの処理に適した演算ユニットの内部のデータパスは、少なくとも1つの命令の実行に適したデータパスである。この集積回路装置を設計し、実行プログラムを作成する過程では、内部のデータパスの選択および／または変更も含めた実行用の組み合わせを生成し、それを指示する命令を実行プログラムに含める。

図面の簡単な説明

図1は、本発明の実施の形態に係る集積回路装置の概略構成を示すブロック図である。

図2は、マトリクス部の概略構成を示す図である。

図3は、図2に示すマトリクス部の一部を拡大して示す図である。

図4は、図2に示すマトリクス部の配線群のうち、キャリー信号を伝送する配線の配置を示す図である。

図5は、スイッチングユニットの一例を示す図である。

図6は、データを入力する命令の処理に適したデータパス部の例である。

図7は、アドレスを出力する命令の処理に適したデータパス部の例である。

図8は、算術演算および／または論理演算の命令の処理に適したデータパス部の例である。

図9は、データが伝送されるタイミングを遅延する処理に適したデータパス部

の例である。

図10は、乗算命令の処理に適したデータパス部の例である。

図11(a)は、外部に配置された演算回路と接続する処理に適したデータパス部の例である。図11(b)は、ルックアップテーブルにより処理が選択されるデータパス部の例である。

図12は、本発明の異なる集積回路装置の概略構成を示すブロック図である。

図13は、複数のLSIを接続した幾つかの例を示す図である。

図14は、本発明の集積回路装置を設計および製造する方法の概要を示す図である。

図15は、配置配線処理の概要を示すフローチャートである。

図16は、1つのデータフロープログラムの組み合わせを求める処理の概要を示すフローチャートである。

図17は、中間言語の記述の例である。

図18は、マトリクス部で実現するデータフロープログラムの例である。

図19は、データフロープログラムを演算ユニットの組み合わせで構成する例である。

図20は、データフロープログラムをマトリクス部にマッピングした例である。

図21は、データフロープログラムをマトリクス部で実現する組み合わせを示す例である。

発明を実施するための最良の形態

以下に図面を参照しながら、本発明についてさらに説明する。図1に、本発明に係る集積回路装置としてシステムLSI10を構成した例を示してある。このシステムLSI10は、実行プログラム3に含まれた命令に基づきエラー処理を含めたRISCプロセッサなどの汎用的な処理を行う汎用のプロセッサ部11と、マトリクス状に配置された複数の演算ユニットにより特定のデータ処理に適合したデータフローあるいは擬似データフローが形成されるデータ処理区画（以降ではマトリクス部）20とを備えている。汎用プロセッサ部（以降ではRISCとも称する）は、実行プログラム3に基づき、マトリクス部20の組み合わせ（コ

ンフィグレーション)も制御でき、マトリクス部20のコンフィグレーションをダイナミックに変更することができる。LSI10は、さらに、マトリクス部20からの割り込み処理を制御する割り込み制御部12と、マトリクス部20に作動用のクロック信号を供給するクロック発生部13と、さらにフレキシブルな演算回路を構成するためのFPGA部14と、外部に対するデータの入出力を制御するバス制御部15とを備えている。プロセッサ部11とマトリクス部20は、プロセッサ11とマトリクス部20との間でデータを交換可能なデータバス17と、プロセッサ11からマトリクス部20の構成および動作を制御するための命令バス18とにより接続されている。また、マトリクス部20から割り込み制御部12に信号線19を介して割り込み信号が供給され、マトリクス部20における処理が終了したり、処理中にエラーが発生したときはマトリクス部20の状態をプロセッサ11にフィードバックできるようになっている。

マトリクス部20とFPGA14との間もデータバス21により接続されており、マトリクス部20からFPGA14にデータを供給して処理が行われ、その結果がマトリクス部20に返される。マトリクス部20は、ロードバス22およびストアバス23によってバス制御ユニット15と接続されており、LSI10の外部のデータバスとの間でデータを交換する。したがって、マトリクス部20には、外部のDRAM2やその他のデバイスからデータを入力でき、そのデータをマトリクス部20で処理した結果を再び外部のデバイスに出力できる。プロセッサ部11もデータバス11aを介してバス制御ユニット15を介して外部のデバイスとデータを入出力することが可能である。プロセッサ11の実行プログラム(オブジェクトプログラム)3は、プロセッサ11がコードRAMあるいはROMを内蔵した構成であれば予めプロセッサ11に格納しておくことができる。また、実行プログラム3を、バス11aを介してLSI10の外から供給することも可能である。

図2にマトリクス部20の概要を示してある。このマトリクス部20は、68個の演算ユニット(演算エレメント)30により、横方向(行方向)に延びた配列が17ライン、縦方向(列方向)に延びた配列が4ライン構成されており、複数の演算ユニット30がアレイ状あるいはマトリクス状に配置されたものとなっ

ている。これらの演算ユニット 30 の間に、さらに、横方向に延びた行配線群 51 と、縦方向に延びた列配線群 52 とが配置されている。列配線群 52 は、列方向に並んだ演算ユニット 30 の左右に分かれて配置された 1 対の配線群 52 x および 52 y を備えている。これらの配線群 52 x および 52 y からデータが各々の演算ユニット 30 に供給される。これらの列配線群 52 は、上から 9 行目の演算ユニット (DEL ユニット) でいったん分離されており、マトリクス部 20 は、上方に形成された 8 行 4 列の演算ユニット 30 を備えた第 1 のマトリクス 28 と、下方に形成された 9 行 4 列の演算ユニット 30 を備えた第 2 のマトリクス 29 との 2 つのセグメントに分けられている。

図 3 に、演算ユニット 30 と、行配線群 51 および列配線群 52 との交点に配置されたスイッチングユニット 55 を拡大して示してある。行配線群 51 は、バイト (8 ビット) またはワード (16 ビットまたは 32 ビット) 単位のデータ、すなわち、8 から 32 ビット程度のデータを行方向に並んだ各演算ユニット 30 (本例では 4 つの演算ユニット) から伝送できる配線量を備えている。したがって、本例のマトリクス部 20 では、行方向の配線群 51 は、少なくとも 4 チャンネル分の配線量のあるバスである。さらに、データ数に応じた数のキャリー信号を伝送する配線も用意されている。

列配線群 52 も、バイトまたはワード単位のデータを各々の演算ユニット 30 に供給できる配線量を備えている。マトリクス部 20 は 1 つのセグメントに着目すると列方向に 8 つの演算ユニット 30 が並んでいるので、本例の列配線群 52 は 8 チャンネル分の配線量を備えたバスである。伝送するデータ数に応じたキャリー信号を伝送する配線も用意されている。

図 4 は、本例のマトリクス部 20 の行配線群 51 および列配線群 52 のうち、キャリー信号を伝送するための配線 51 c、52 c x および 52 c y を抜き出して示してある。キャリー信号は、桁上げ用の信号や真偽を示す信号として使用することが可能であり、本例のマトリクス部 20 では、演算ユニット 30 のうち、算術演算および論理演算に適したデータパス部 (SMA) 32 b と、遅延用のデータパス部 (DEL) 32 c と、FPGA とのインターフェイスとなるデータパス部 (FPG) 32 e とでキャリー信号 C i が使用されている。したがって、

これらを備えた演算ユニット30を接続するようにキャリー信号用の配線51c、52cxおよび52cyが配置されている。

行配線群51と列配線群52の各々の交点に配置されたスイッチングユニット55は、行配線群51の任意のチャンネルを、列配線群52の任意のチャンネルに切り替えて接続し、バイトまたはワード単位のデータの再構成可能な伝送路を構築している。図3に示したスイッチングユニット55では、行配線群51の任意のチャンネルを選択して列配線群52に接続する複数のセクタ58と、それらのセクタ58の設定を記憶するコンフィグレーションRAM59を備えている。コンフィグレーションRAM59のデータは、プロセッサ部11から供給されるデータにより書き換えられるようになっており、行配線群51と列配線群52との接続はプロセッサ部11の制御の下で任意に動的に制御できる。

図5に示した、異なるタイプのスイッチングユニット56は、行配線群51の任意のチャンネルを構成する配線と、列配線群52の任意のチャンネルを構成する配線とをクロスバースイッチ57により切り替えて接続する。このタイプのスイッチングユニット56もプロセッサ部11によりデータがセットされるコンフィグレーションRAMあるいはレジスタ59を備えており、行配線群51と列配線群52との接続を自由に切り替えることができる。

図2に示すように、マトリクス部20に配列された各演算ユニット30は、1組の列配線群52xおよび52yのそれぞれから入力データを選択するための1組のセクタ31xおよび31yと、これらのセクタ31xおよび31yにより選択された入力データdixおよびdiyに特定の演算処理を施し、出力データdoとして行配線群51に出力するデータパス部32を備えている。本例のマトリクス部20に配置された複数の演算ユニット30は、異なる特定の処理に適したデータパスを備えた複数種類の演算ユニットを含んでいる。そして、各行を構成する演算ユニット30は、同一種類の処理を提供する同一のデータパス32を備えている。つまり、各行毎に異なる処理を行うためのデータパス32を備えた演算ユニット30が並んで配置されている。

まず、第1行目に配列されたエレメントまたは演算ユニット30は、ロードバス22に接続されており、データをロードする処理に適したデータパス部32f

を備えている。ロード用のデータパス部（LD）32fの構成の一例を図6に示してある。LD32fは、入力データおよび出力データをラッチするフリップフロップ41と、出力データのチャンネルを切り替える必要がある場合はそれを選択する情報を記録するコンフィグレーションRAM39とを備えている。このLD32fは、「input」あるいは「load」と言った入力命令を実行するユニットである。LD32fは、ロードバス22からデータを受信して、行配線群51に出力する。なお、図2に示したLD、以降で説明するBAL、LDA、SMAおよびDELなどの略語は、データパス部32や、そのデータパス部を備えた演算ユニット30を示すために本明細書では使用される。

- 10 以下で説明する各演算ユニット30は、それぞれコンフィグレーションRAM39を備えており、その内容をRISC11により設定することにより、演算ユニット30と行配線群51と列配線群52との接続を動的に切り替えることができる。また、演算ユニット30が、セレクトタにより切り替えたり、変更したり、選択できるデータパスや、初期値を含めたコンディションやパラメータを設定できる機能を備えている場合は、コンフィグレーションRAM39のデータを設定することにより、それらを制御することができる。

第2行目および第3行目に配列された演算ユニット30は、データをロードするためのアドレスを出力する処理に適したデータパス部32aを備えている。このデータパス部（BLAおよびLDA）32aの構成の一例を図7に示してある。

- 20 このBLAおよびLDA32aは、「input.address_external」および「input.address_internal」などの命令により入力データのアドレスを指定する命令（ファンクション）を実行するユニットである。BLAおよびLDA32aは、カウンタなどで構成されたアドレス発生回路38を備えている。このアドレス発生回路38からアドレスが出力データdoとして出力され、行配線群51および列配線群52を介して入力データdixあるいはdiyとして供給される。さらに、入力データとして供給されたアドレスのいずれかを選択するセレクトタ42と、入力データおよび出力データをラッチするフリップフロップ41とを備えている。これにより、ロードするアドレスデータdaがマトリクス部20からバス制御ユニット15に出力される。この演算ユニット30もアドレス発生回路38やセレ

クタ 4 2 の状態を設定するコンフィグレーション RAM 3 9 を備えている。このコンフィグレーションメモリ 3 9 の内容（データ）はプロセッサ部 1 1 によりセットされ、行配線群 5 1 と列配線群 5 2 との接続を動的に切り替えたり、アドレス発生回路 3 8 の設定を自由に変更できる。

- 5 マトリクス部 2 0 の第 2 行目を構成する演算ユニット 3 0 の B L A 3 2 a は、ブロックロードするためのアドレスを発生する。一方、第 3 行目を構成する演算ユニット 3 0 の L D A 3 2 a は、にブロックロードされた中から所望のデータをロードするアドレスを発生する。これらのデータパス部 B L A および L D A のいずれも、詳細な構成は異なるとしても、概略は図 7 に示したような同じ構成になる。

- 10 第 4 行目および第 5 行目に配列された演算ユニット 3 0 は、算術演算および論理演算に適したデータパス部 3 2 b を備えている。そのデータパス部（SMA）3 2 b の構成の一例を図 8 に示してある。SMA 3 2 b は、演算用の基本エレメントであり、バイトまたはワード単位で供給される入力データ d i x および d i y をビット単位できりだすためのビットシフト回路 4 3 と、マスク回路 4 4 とを
- 15 備えている。さらに、入力データ d i x および d i y を加算あるいは減算したり、比較したり、論理和あるいは論理積を演算できる論理演算ユニット（A L U）4 5 を備えている。さらに、隣接する SMA 3 2 b の演算結果を結合したり選択したりするための論理ユニット（L U）4 6 を備えている。

- 20 また、ビットシフト回路 4 3、マスク回路 4 4、A L U 4 5 および L U 4 6 の処理を選択または変更するデータを記憶するコンフィグレーション RAM 3 9 を備えている。さらに、入力データをラッチするフリップフロップ 4 8 と出力データをラッチするフリップフロップ 4 9 と、タイミング調整用の他のフリップフロップ F F などを備えている。

- 25 この SMA 3 2 b は、「add」、「sub」、「compare」、「shift」、「and」、「select」などの加減算、比較、選択、その他の論理演算といったプログラムを記述する際に多用される算術演算命令および論理演算命令をサポートする。いずれの演算処理を行うか、また、いずれかの演算処理を複合的に行うかは、R I S C 1 1 により設定されるコンフィグレーション RAM 3 9 の内容により自由に制

御でき、いつでも変更できる。また、コンフィグレーションRAM 39により、入力データ d_{ix} および d_{iy} として固定値を設定することができる。キャリー信号 C_{ix} および C_{iy} についても同様である。加えて、出力データ d_o から ALU 45 にフィードバックする経路を設けることによりステートマシンやカウンタを構成することができる。また、入力データ d_{ix} および d_{iy} を交換する機能もサポートしており、縦配線群 52 の選択自由度および使用効率を上げるためにも利用できる。

また、データパス部 32 b には、キャリー信号 C_{ix} および C_{iy} を入力し選択することができるパスが用意されており、キャリー信号により ALU 45 および LU 46 を制御することが可能である。また、ALU 45 の演算結果に関わるキャリー信号 C_o を出力するパスも用意されている。隣接する SMA 32 b のキャリー信号を任意に演算した結果を ALU 45 および LU 46 に入力することができ、キャリー信号を選択するだけでなく、キャリー信号同士を演算することも可能であり、キャリー信号の自由度は高い。

左右に配置された SMA 32 b の一方に設けられた論理ユニット (LU) 46 により左側の ALU 45 の出力と、右側の ALU 45 の出力を論理演算できる。このため、コンフィグレーションRAM 39 で LU 46 を制御し、行方向に左右に並んだ 2 つの SMA 32 b で 1 つの拡張された機能を果たせることができる。たとえば、1 つの入力データ d_{ix} が 32 ビットであるときに、倍精度の 64 ビットのデータを処理するために、2 つの入力データ d_{ix} および d_{iy} で 1 つの入力データを表すことができる。

本例のマトリクス部 20 では、SMA 32 b を備えた演算ユニット 30 により、7、8、11 および 13 行目の配列も形成されている。

第 6 行目に配列された演算ユニット 30 は、データが伝送されるタイミングを遅延する処理に適したデータパス部 32 c を備えている。このデータパス部 (DEL) 32 c の構成の一例を図 9 に示してある。DEL 32 c は、複数のセレクタとフリップフロップの組み合わせで構成された遅延回路 47 と、入力側のフリップフロップ 48 と、出力側のフリップフロップ 49 と、回路を選択するセレクタ 42 とを備えている。遅延回路 47 は、コンフィグレーションRAM 39 の

データにより 0～5 クロックの遅延をセットでき、XまたはY系統で 1～7 クロックの遅延を制御できる。さらに、コンフィグレーション RAM 39 の設定により、X系統と Y系統とを直列に接続することが可能であり、2 倍の遅延時間を制御できる。また、これらのデータと共に行配線群 51 および列配線群 52 で導かれるキャリー信号 cix および cix も同様のデータパスにより遅延して出力される。

遅延用のデータパス DEL 32 c を備えた演算ユニット 30 を用意することにより、各種のデータパス部 32 における信号の遅延を任意に調整できる。したがって、算術演算や論理演算用の SMA 32 b、また、以下で説明する乗算の処理用の MUL 32 d などとを組み合わせてデータフローを形成したときの遅延時間の差を調整するために各データパス部 32 に遅延調整用のフリップフロップおよびセクタを設ける必要がない。このため、各々のデータパス部 32 の構成が簡易になり、データパス部 32 の汎用性を向上できる共に、データパス部 32 が占有する面積を最小限に留めることができる。また、各データパス部 32 においては、入力データをラッチする入力側のフリップフロップ 48 および出力データを出力側のフリップフロップ 49 を設けたり、入力データおよび出力データを共にラッチするフリップフロップ 41 を設けることにより、入力データがそのままあるいは加工されて出力される待ち時間（レイテンシ）はクロック単位で制御されている。したがって、レイテンシの差は、DEL 32 c の機能により埋めることは容易であり、演算ユニット 32 を組み合わせて行う演算のパイプラインのタイミングを保障できる。

この DEL 32 c は、縦配線群 52 で供給されるデータを横配線群 51 にいったん移行するという機能も果たす。このため、第 9 行目に配列された演算ユニット 30 は、第 1 のマトリクス 28 の縦配線群 52 で供給されたデータを選択して第 2 のマトリクス 29 の横配線群 51 に出力している。このように、遅延用の DEL 32 c の機能を用いて第 1 のマトリクス 28 のデータを選択して第 2 のマトリクス 29 に供給することが可能であり、セグメント化された第 1 のマトリクス 28 の縦配線群 52 と第 2 のマトリクス 29 の縦配線群 52 とを分離することができる。したがって、縦配線群 52 の配線量を各々のマトリクス 28 または 29

を構成する演算ユニットの数をカバーするだけに限定することが可能となり、配線が占める面積を削減でき、配線群からデータを選択するスイッチングユニット 5 5 あるいは 5 6 などの構成を簡易にすることができる。

この DEL 3 2 c は、マトリクス部 2 0 でデータフローを構成する際に、タイミング調整などのために自動的に挿入される。プログラム中に「delay」命令を記述して、データフロー間あるいは RISC プロセッサとのタイミング調整を行うことも可能であり、そのような場合は、遅延命令を実行するための演算ユニットとして使用される。

第 1 0 行目に配列された演算ユニット 3 0 は、「multiply」命令で指示される乗算処理の実行に適したデータパス部 3 2 d を備えている。そのデータパス部 (MUL) 3 2 d の構成の一例を図 1 0 に示してある。この MUL 3 2 d は、行方向に配置された 4 つの 1 6 ビット×1 6 ビット (結果 3 2 ビット) の乗算器 MUL 6 1 が個々の MUL 3 2 d を構成する。それと共に、これらの 4 つの MUL 6 1 からの出力をさらに演算処理するデータパス CSA 6 2 および CPA 6 3 が配置されている。したがって、本例の乗算処理用の MUL 3 2 d は、行方向に配列された 4 つの MUL 3 2 d を結合することにより機能を拡張できる。たとえば、倍精度の乗算を実行することができる。そして、MUL 6 1、CSA 6 2 および CPA 6 3、さらには、セクタ 6 4 の機能はデータパス部 3 2 d のコンフィグレーション RAM 3 9 にセットされたデータで制御される。

具体的には、左端の MUL 6 1 (AH×BH) で、入力データ d i x の上位 1 6 ビットと入力データ d i y の上位 1 6 ビットの乗算を行い、次の MUL 6 1 (AH×BL) で入力データ d i x の上位 1 6 ビットと入力データ d i y の下位 1 6 ビットの乗算を行い、MUL 6 1 (AL×BH) で入力データ d i x の下位 1 6 ビットと入力データ d i y の上位 1 6 ビットの乗算を行い、MUL 6 1 (AL×BL) で入力データ d i x の下位 1 6 ビットと入力データ d i y の下位 1 6 ビットの乗算を行う。そして、これらの乗算器の結果を CSA 6 2 および CPA 6 3 により加算することにより、行方向に配置された 4 つの MUL 3 2 d は 3 2 ビット×3 2 ビット (結果 6 4 ビット) の乗算器としても動作する。各々の MUL 3 2 d の演算結果を、SMA 3 2 b で加算することによっても同様の結果を得

ることが可能であるが、MUL 3 2 dを行方向に並べて配置し、加算用の演算器となる少量の専用回線を組み込むことにより、少ない遅延時間とゲート量で同等の結果を得ることができる。

MUL 3 2 dを配置する代わりに、SMA 3 2 bに掛け算機能を付加したデータパス部 (SMAM) をSMA 3 2 bの代わりに、あるいはSMA 3 2 bと共に配置しても良い。単一の演算ユニット30にどの程度多くの演算機能を搭載し、それをコンフィグレーションRAM39により選択して使用するかは、マトリクス部20の設計思想の差となる。本発明においては、1つの演算ユニット30で処理可能な内容の大小はあっても、異なるデータパスを備えた複数種類の演算ユニット30でマトリクス部20を構成する。したがって、すべての処理をサポートするような単一の構成の処理ユニットを敷き詰めたようなマトリクスと比較すれば、はるかに無駄なスペースは少なくなり、無駄な処理時間も少なくなり、AC特性は向上する。

第14行目に配列された演算ユニット30は、マトリクス部20の外部に用意されたFPGA14とのインターフェイス用のデータパス部32eを備えている。このインターフェイス用のデータパス部(FPG)32eの概略構成を図11(a)に示してある。FPG32eは、入力データを選択するセクタ42と、入力データをラッチしてオフチップFPGA14に供給するフリップフロップ48と、オフチップFPGA14の出力をラッチして出力データとするフリップフロップ49とを備えている。このFPG32eを用いることにより、入力データをいったんオフチップFPGA14に供給して処理した後、再びマトリクス部20に戻して処理を継続することができる。マトリクス部20に配列される演算ユニット30は、LSI10で実行するアプリケーションプログラム中に出現頻度の高い命令をサポートするものが選択され設計および配置される。汎用性の少ない機能を含めた演算ユニット30は面積効率を悪化させることになるので配置されない。FPG32eを配置することにより、そのような処理あるいは機能であってもハードウェアで高速処理することができる。

このFPG32eは、マトリクス内に外部インターフェイスを導入する汎用性の高いデータパス部であり、接続可能な外部処理回路はFPGAに限定されるも

のではない。ASICや、本例のマトリクス部20を備えた他のLSIなどを接続することも可能である。

第15行目および16行目に配列された演算ユニット30は、ストア用のアドレスを発生するのに適したデータパス部STAおよびBSAを備えている。データパス部STAおよびBSAは、上述したインプットアドレスを指示する命令と同形式の出力アドレスを指示する命令を実行する。アドレスを発生させる機能としては、図7に示したデータパス部32aと同様の回路を使用することができる。ストア用にも2種類のアドレスが発生されるようになっており、データパス部BSAはブロック化したデータをストアするためのアドレスを発生し、データパス部STAはブロック化するためのアドレスを発生する。

最下段の17行目には、「output」、「store」などの命令によりデータを出力するのに適したデータパス部STを備えた演算ユニット30が配列されている。このデータパス部STと称されているが、算術演算用のデータパス部32bとほぼ同様の構成のデータパス部を採用できる。マトリクス部20で算術演算した結果の外部の格納先が指定されている場合には、この演算ユニットSTを介してデータが出力される。

本発明の演算ユニット30の種類はこれらに限定されるものではない。図11(b)は、ルックアップテーブル用のSRAM65を備えたデータパス部(RAM)32gの概略構成を示してある。入力データdixをアドレス、入力データdiyをデータとして使用することができ、データとアドレスが同時に与えられた場合は書き込み、アドレスのみが与えられた場合は読み出しを行う。SRAM65は複数のバンクを備えており、コンフィグレーションRAM39の設定により、切り替えて使用することができる。また、4つのRAM32gを行方向に並べて配置したときに、8ビットの4つのRAMとしても、16ビットの2つのRAMとしても、さらに、32ビットの1つのRAMとしても利用できる。このデータパス部32gは、バイトあるいはワード単位の入力データに対して任意の関数による出力データを得るためのルックアップテーブルとして使用できる。コサイン変換処理やCRC計算をマトリクス部20で実現する場合に有用である。

本例のシステムLSI10は集積回路装置の一例であり、その第1の方向(本

例では行または横方向)、および第2の方向(本例では列または縦方向)にマトリクス状に配置された複数の演算ユニット30を備えている。複数の演算ユニット30は、特定の処理に適した異なるデータパス部32を備えた複数種類の演算ユニットを含んでおり、上記では、データの入力に適したデータパス部32f、

5 データのアドレスを発生する処理に適したデータパス部32a、算術または論理演算処理に適したデータパス部32b、乗算処理に適したデータパス部32d、データの伝送時間を遅らせる処理に適したデータパス部32cを例示している。これら複数種類の演算ユニット30の間でデータを転送する横配線群51および縦配線群52の接続をスイッチングユニット55で制御し、これらの演算ユニット30の間の接続を変えることにより、マトリクス部20に所望のデータ処理を行うデータフロー型の専用演算回路を定義できる。このため、本例のマトリクス部20では、FPGAのように各トランジスタ間の接続をすべて変更しなくても、演算ユニット30の間の接続を変更することにより、短時間で処理内容の異なる専用演算回路を再構成できる。さらに、各演算ユニット30は、FPGAの論理

15 ブロックのようにトランジスタレベルでの汎用性が要求されるアーキテクチャではなく、各々の演算ユニット30が特定のデータ処理に特化したデータパス部32を備えているので、冗長な回路を省き、実装密度を向上できる。したがって、ハードウェアの処理内容を変更可能な、コンパクトで経済的なシステムを提供できる。また、冗長な構成を極力削減できるので、FPGAに比べて大幅に処理速

20 度を高速化でき、AC特性も向上できる。

図6ないし図11に示したように、各々の処理に適したデータパス部32a～32gはそれぞれ異なる構成になるので、各々のデータパス部が目的とする処理を高速で実行できる反面、各々のデータパス部が占有する面積が異なる。そこで、本例のマトリクス部20においては、同一の機能のデータパス部32を備えた演算ユニット30を行方向に並べて配置することにより、演算ユニット30が占有する面積がデータパス部32の種類によって異なっても行方向の直線性を確保している。さらに、種類が異なるデータパス部32であっても行方向のピッチが同じになるように等間隔に配置することにより、列方向の直線性も確保している。これにより、行配線群51および列配線群52をそれぞれ直線的にレイアウトで

25

きる。

- すなわち、同一種類のデータパス部 3 2 を備えた演算ユニット 3 0 を行方向に等間隔で配置することにより、それらのサイズの差は、列方向の間隔で吸収することが可能であり、列方向の間隔が行単位で変わっても直線性は保障できるので、
- 5 行配線群 5 1 としては直線的に配線できる。もちろん、行方向と列方向とを入れ替えてデザインすることは可能であり、本願の発明の範囲に含まれる。

- したがって、異なる構成のデータパス部 3 2 を備えたサイズの異なる演算ユニット 3 0 を極めて効率よくマトリクス状に配置することができる。さらに、それらを接続する行および列配線群（バス）を直線的に配置することができる。したがって、製造後に機能をセットすることができる再構成可能な集積回路装置を、
- 10 よりコンパクトに、そして低コストで供給することができる。そして、FPGA に比較して、高速処理が可能で AC 特性も良い演算ユニット 3 0 を、よりコンパクトなレイアウトで配置し、最短の配線長で接続することができるので、その高速性を確実に活かせる集積回路装置を提供できる。

- 15 このように、同一の機能のデータパス部 3 2 を備えた演算ユニット 3 0 を行方向に配列することは、マトリクス部 2 0 をデータフロータイプの処理装置として機能させる上でも有効である。たとえば、上記の例では、列方向の一方の端となる第 1 行目にデータの入力用の演算ユニット 3 0 を配列し、列方向の他方の端となる第 1 7 行目にデータの出力用の演算ユニット 3 0 を配列している。そして、
- 20 マトリクス部 2 0 では巨視的には上から下に向かうデータフローが形成されており、それに対応して他の処理に適したデータパス部を備えた演算ユニット 3 0 が配列されている。もちろん、行配線群 5 1 および列配線群 5 2 を用いて下から上に向かうデータフローを形成することも可能であり、マトリクス部 2 0 に配置された各演算ユニット 3 0 を最大限に活かしてデータ処理を行うことができる。

- 25 さらに、算術演算などに適したデータパス部 3 2 b および乗算に適したデータパス部 3 2 d のように、同一種類の演算ユニット 3 0 を同一方向に配列することにより複数の演算ユニット 3 0 を連携させることが可能となる。したがって、本例のマトリクス部 2 0 においては、演算ユニット 3 0 を個々に利用すると共に、行方向に配列された演算ユニットを束ねて、あるいは連携させて、倍精度の演算

などの拡張された演算機能を提供できるようにしている。

そして、各々の演算ユニット 30 およびスイッチングユニット 55 あるいは 56 はプロセッサ 11 からデータを設定し、個別に制御することができるコンフィグレーションメモリを備えている。したがって、演算ユニット 30 の組み合わせはプロセッサ 11 から自由に変更することが可能であり、さらに、トランジスタレベルで回路をマッピングする F P G A と異なり、予め特定の処理に適したデータパス部 32 を備えた演算ユニット 30 の組み合わせを変えるので、短時間で、ほとんど 1 クロックで機能を変更することができる。

さらに、各々の演算ユニット 30 では、データパス部 32 を構成するセレクタや A L U などの論理ゲートの機能もコンフィグレーションメモリ 39 を介してプロセッサ 11 によって独立してセットすることが可能である。このため、演算ユニット 30 の機能自体も、データパス部 32 がサービスする機能の範囲内でフレキシブルに変更することができる。本例のマトリクス部 20 において、データフロー型または擬似データフロー型で処理可能な機能の範囲は非常に広がる。また、ネットワーク処理や、画像処理などの L S I 10 が用いられるアプリケーションに適した種類の演算ユニット 30 を選択し、配列することが可能であり、さらに実装効率の良い集積回路装置を提供することが可能である。

なお、上記の実施の形態で説明した行配線群 51 および列配線群 52 を入れ替えることが可能であると共に、演算ユニット 30 の配列方向も行と列を入れ替えることができる。また、演算ユニット 30 は行または列配線群のいずれに対してもデータを入出力しても良い。しかしながら、上記のマトリクス部 20 で示しているように、一方の配線群、本例では列配線群 52 からデータを入力し、他方の配線群、本例では行配線群 51 にデータを出力するように規則を決めることにより、常に 1 つのスイッチングユニット 55 を経由するだけで演算ユニット 30 から演算ユニット 30 にデータを伝送できる。

図 12 に、本発明にかかる、異なる L S I の例を示してある。本図では、割り込み制御ユニット 12、クロック発生部 13 などを省略しているが、図 1 に示した L S I と同様に種々のユニットが搭載されている。本例の L S I 10 のマトリクス部 20 の、2 行目以降では、行方向に 6 個の演算ユニット 30 が配列されて

いる。これらの内、左側の4個の演算ユニット30は、各行毎に、上述したRAMとして機能するデータパス部32gを備えた演算ユニット30、ロードするデータのアドレスを発生するBLAとして機能するデータパス部32aを備えた演算ユニット30、同じくアドレスを発生するLDAとして機能するデータパス部32aを備えた演算ユニット30である。しかしながら、各行の右側の2個の演算ユニット30は、算術および論理演算機能をサポートするSMAとして機能するデータパス部32bを備えた演算ユニット30である。これは、本例のLSI10として要求される仕様を満足するように演算ユニット30を選択すると、SMA32bとして機能する演算ユニットが他のタイプの演算ユニットに対し大量に必要となっているからである。SMA32bの論理ユニットを他のタイプの演算ユニットの数に合わせて配置し、行方向に4つの演算ユニット30を並べたマトリクス部20を設計することも可能である。しかしながら、LSI10を構成する他のユニットの配置にも依存するが、マトリクス部20だけを考えると縦長の配置になるために面積効率が悪化する。また、縦方向の数が増加するので、縦配線群52の負荷が増し、セグメントの数が増加し、その結果、DEL32cの論理ユニットが必要となり、処理速度が低下することになる。

したがって、本例のマトリクス部20では、数の多いSMA32bの演算ユニット30を行方向に追加して配置し、全体が正方形に近づくようにしている。このマトリクス部20は、行方向の配列がすべて同一種類の演算ユニット30で構成されているとは言えない。しかしながら、数の少ないRAM32gや、BLAおよびLDAなどの演算ユニット30が配列された範囲では、行方向の配列はすべて同一種類の演算ユニット30で構成され、行方向の直線性が確保されている。列方向の直線性は、各種の演算ユニット30を行方向の等ピッチで配置することにより確保できることは上記と同様である。

また、本例のマトリクス部20では、ロードバス22およびストアバス23にそれぞれ6つの入力バッファ24および出力バッファ25が配置され、それらのうち、2つのバッファ24および25がバス制御ユニット15の代わりに拡張入出力用のインターフェイス26および27に接続されている。この拡張インターフェイス26および27は、マトリクス部20の間のインターフェイスとして利

用することができる。したがって、同一チップ内に複数のマトリクス部 20 を配置して拡張インターフェイス 26 および 27 で接続したり、マトリクス部 20 を備えた複数のチップ 10 を拡張インターフェイス 26 および 27 を使用して接続することができる。

- 5 このため、これらの拡張インターフェイス 26 および 27 により、マトリクス部 20 を備えた L S I 10 を複数個使用してデータフロー型の演算器を自由に拡張できる。接続可能なマトリクス部 20 が増え、接続可能な演算ユニット 30 が増加することにより、複雑な処理が実行可能となる。また、演算ユニット 30 の組み合わせを変えて再構成できる範囲が広がり、柔軟性のさらに高い演算処理装置を提供できる。並列度を上げるなどのパフォーマンスを向上する演算ユニット
10 30 の組み合わせもフレキシブルに選択できるようになる。さらに、複数のマトリクス部 20 を 3 次元方向に配列して 3 次元マトリクスを構成することも可能である。

- 図 13 (a) は、拡張インターフェイス 26 および 27 により、n 個の L S I
15 10 を接続することにより、マトリクス部 20 を実質的に n 倍に広げられるようにした演算処理装置あるいは集積回路装置 9 を示している。これらの L S I は 2 次元方向にも 3 次元方向にも組み合わせできる。

- また、複数の L S I 10 が接続されたシステム 9 において、複数のマトリクス部 20 およびそれを備えた L S I 10 に対し、必要な情報を伝えるためのバスとして拡張インターフェイス 26 および 27 を使うことも可能である。図 13
20 (b) ~ (d) はその幾つかの例である。図 13 (b) では、拡張インターフェイスにより L S I 10 をチェーン状に接続しており、図 13 (c) ではツリー状に接続している。また、図 13 (d) では、複数の L S I 10 をリング状に接続している。

- 25 情報を伝達するアルゴリズムは簡単で良く、たとえば、全ての L S I 10 に初期設定を伝播するための単純なプログラムを用意しておく。システム 9 をコントロールする L I S (チェーン接続ではチェーンの先頭、ツリー接続ではツリーの最上、リング接続の場合はいずれかの L S I) が情報をデータとトークンの形で次の L I S 10 に伝え、情報を受け取った L S I 10 は、自分自身の情報として

受け取ると同時に次のLSI10に情報を伝える。情報の中身とそれが自分自身の情報であるか否かは、マトリクス20のいずれかの演算ユニット30を用いて判断できるように定義できる。情報の転送場所は、RAMとしての機能を備えた演算ユニット30であっても良く、プロセッサ11のRAMでも良く、各演算ユニット30のコンフィグレーションRAM39であっても良い。

伝達する情報としては、RISCプロセッサ11のプログラム3、マトリクス20のコンフィグレーションRAM39に設定する情報などがある。コンフィグレーションRAM39に設定するには、拡張入力インターフェイス26から受信した設定情報を、マトリクス部20のストア機能を用いて出力バス23とバス制御ユニット15を介して演算ユニット30のコンフィグレーションRAM39にアドレス指定して書き込むことができる。いったん、外部のDRAM2に格納して、プロセッサ11の機能を用いてコンフィグレーションRAM39に転送しても良い。

伝達する情報としては、さらに、時間の制御用の情報がある。一定周期（例えば1秒間隔）でデータを流すことにより、システム9の基準時計として使用し、システム9を構成する複数のLSI10における処理を同期させることができる。

図14に、本例のLSI10の設計および製造方法の概要を示してある。LSI10で実行したい処理が仕様71として与えられると、それをLSI10で実行するためのプログラム言語で記述されたソースファイル73に変換する処理72を行う。変換処理72においては、ANSI-Cなどの一般的な高級言語で記述された仕様71を、演算ユニットライブラリ79を参照して、演算ユニット30がサポートする命令を含むプログラム言語（以降では中間言語）で記述された中間記述73に変換する。この変換処理72は、マニュアルでも良いし、コンパイラなどのソフトウェアを使用しても実行できる。

マトリクス20を構成する演算ユニット30のうち、演算ユニットLDは、データバス32fを備えており、データの入力命令の処理に適した演算ユニットである。演算ユニットBLAおよびLDAは、データバス32aを備えており入力データのアドレスを指定する命令の処理に適した演算ユニットである。演算ユニットSTは、データの出力命令の処理に適した演算ユニットである。また、演

算ユニットBSAおよびSTAは、データパス32aを備えており、出力するデータのアドレスを指定する命令の処理に適した演算ユニットである。演算ユニットSMAは、データパス32bを備えており、算術演算命令および／または論理演算命令の処理に適した演算ユニットであり、さらに、演算ユニットMULは、データパス32dを備えており、乗算命令の処理に適した演算ユニットである。そして、これらの演算ユニット30は、バイトあるいはワード単位のデータを処理するので、1つの演算ユニット30で1つの命令あるいは複数の命令の処理を実行できる。

したがって、本例のマトリクス20を構成する複数種類の演算ユニット30は、データの入出力命令、算術演算命令および論理演算命令をサポートしていると言うことができ、データの入出力処理、算術演算処理、論理演算処理は、演算ユニット30がサポートする命令セット（中間言語）で記述することが可能である。入出力処理、信号処理、算術演算処理および／または論理演算処理を繰り返して行うプロセス（ループ処理）は、RISCプロセッサ11を用い、限られたハードウェアリソースを用いてソフトウェアで繰り返し実行しても処理速度の向上が望みにくい。これに対し、本例のマトリクス20であれば、演算ユニットという多数のハードウェアリソース上に展開して同時並列実行することによりパフォーマンスを向上できる。したがって、そのようなプロセスをパフォーマンスアナライザなどで見つけ、簡単にハードウェア化し、処理速度を向上できる。

与えられた仕様71を変換した中間記述73は、C言語で記述されたRISCプロセッサ11で実行する部分73aと、マトリクス20で実行するように中間言語で記述された部分73bとに分かれる。中間記述の中間言語の部分73bは、図17に示したようなものであり、演算ユニット30でサポートされる命令を考慮して、データフローグラフあるいはそれに制御情報が加わったコントロールデータフローグラフに変換できる程度に処理手順を表す記述である。したがって、ハードウェア記述言語であるHDLなどと異なり、システムの仕様が設計者にも十分に分かり、システムの変更や修正があったとき中間記述73bにその変更や修正を容易に反映することができる。中間言語の1つの形態は、アセンブラライクなもの、たとえば、マクロアセンブル的なものである。C言語よりも、難易度

も低く、線形性も確保しやすいので、データフロープログラムを作成しやすく、マトリクス部 20 にマッピングされたときにどのような組み合わせで実現されたかも理解しやすい。したがって、マトリクス部 20 およびプログラムの開発も容易であり、デバックやメンテナンスも容易である。

- 5 中間言語で記述された部分 73b は、演算ユニット 30 がサポートする命令で記述されているので、その部分 73b の処理は、マトリクス 20 における演算ユニット 30 の組み合わせで表すことが可能となる。したがって、次に、配置配線処理 75 により、中間言語により記述された処理 73b を実行可能な演算ユニット 30 の組み合わせ（実行用の組み合わせ）76 を生成する。この処理は、コンパイラ（ソフトウェア）により行われる。実行用の組み合わせ 76 が生成されると、その実行用の組み合わせ 76 が実現できるように演算ユニット 30 が配置されたマトリクス部 20 の情報 78 が出力される。その情報 78 に基づきマトリクス部 20 を生成すれば、LSI 10 の基本的な設計は終了し、それに基づき LSI 10 を製造できる。また、実行用の組み合わせ 76 を指示する命令 80 を生成し、中間言語の記述 73b の代わりに、実行用の組み合わせを指示する命令 80 と、その組み合わせを起動する命令とを含んだ C ソースファイル 74 を C コンパイラ 81 でコンパイルすることにより、LSI 10 の実行用のプログラム（オブジェクトプログラム）3 を生成できる。

- 20 与えられた仕様 71 を実行するために、マトリクス部 20 の演算ユニット 30 の組み合わせを変更する必要がなければ、組み合わせを指示する命令を生成する必要はなく、中間言語で記述された部分 73b の処理を実行可能な演算ユニット 30 を備えたマトリクス部 20 を生成するだけで良い。また、既存のマトリクス部 20 を使用して、与えられた仕様 71 を実行する場合は、マトリクス部 20 を生成することはない。既存のマトリクス部 20 に配置された演算ユニット 30 の組み合わせを実行用の組み合わせ 76 にするための命令 80 を生成して、中間言語で記述された部分 73b を置き換えてコンパイルすることにより実行用プログラム 3 を生成できる。

実行用の組み合わせ 76 を生成する配置配線処理 75 では、演算ユニット 30 における処理のタイミング調整のために、データパス 32c を備えた遅延用の演

算ユニットDELを含めた組み合わせを生成する必要がある。したがって、配置配線処理75では、異なるレイアウトのマトリクス部20を設計し、すべての実行用の組み合わせが生成できるか否かを確認する作業を、適当なアルゴリズムで繰り返し行い、適切な組み合わせを見つける必要がある。

- 5 また、各々の演算ユニット30は、コンフィグレーションRAM39により内部データパスの構成を変更あるいは選択することが可能である。データパス32bを備えた演算ユニットSMAでは、演算処理の内容をコンフィグレーションRAM39により設定する必要がある。したがって、配置配線処理75においては、組み合わせられる演算ユニット30の内部のデータパス32の構成も含めた実行用の組み合わせを生成する必要がある。そして、演算ユニット30の設定は、実行用プログラム3に含まれた組み合わせを指示する命令により、各々の演算ユニット30のコンフィグレーションRAM39でアクティブになるようにマトリクス部20に供給される。
- 10

- 図15ないし図21を参照して、演算ユニット30の組み合わせを生成する過程の概略を説明する。図15に、配置配線を行うコンパイラ75における処理をフローチャートで示してある。まず、ステップ91で、図17に示した中間言語の記述73bから図18に示したデータフローグラム(DFG)101を生成する。複数のデータフローグラム101が必要な場合は、それらを作成する。次に、ステップ92で、それらのデータフローグラム101を構成できる演算ユニット30を含んだ適当なレイアウトのマトリクス部20を生成し、ステップ93で1つ1つのデータフローグラム101について配置配線を行い、すべてのデータフローグラム101が割付できるマトリクス部20のレイアウトと、実行用の組み合わせを見つける。ステップ94で、1つのデータフローグラム101でも配置配線できない場合は、配置配線不可として、ステップ92に戻って新しいレイアウトのマトリクス部20を生成する。マトリクス部20の出力側は、データを出力する処理を行う演算ユニットSTになるので、すべての演算ユニットSTについてデータフローグラム101を割り当てできれば、配置配線が成功したことになる。
- 15
- 20
- 25

図16に、1つのデータフローグラム101を実行するための演算ユニット3

0を組み合わせを生成する処理をフローチャートにより示してある。レイテンシの維持を容易にするためにデータプログラム101の下流から順番に演算ユニット30を割り当てていくことが望ましい。したがって、ステップ111で、データプログラム101を構成する末尾の演算ユニットを配置でき、それを出力の演算ユニットSTに配線できるか否かを確認する。ステップ112で、適当な演算ユニット30とそれらを接続する配線群が見つければ配置配線は成功である。次に、ステップ113では、発見した資源、すなわち、演算ユニット30と配線群とにマークし、末尾の演算ユニット30を配置済みとする。そして、ステップ114で、配置済みの演算ユニット30の入力元の演算ユニット30が配置配線可能であるか否かを下流から上流へ辿りながら確認する。ステップ115で、入力元の演算ユニット30の配置配線が可能であり、すべての入力元の演算ユニット30が配置配線できれば、1つのデータプログラム101がマトリクス部20に配置できたことになる。

図18に示したデータプログラム101は、2つの入力データを、2回加算して出力データを得るものであり、図19に示すように論理ユニット30の組み合わせに置き換えることができる。すなわち、下流側から、出力用の論理ユニットST、2つの算術計算用の論理ユニットSMA、そして、2つの入力用の論理ユニットLDを含む組み合わせである。算術演算用の論理ユニットSMAで加算を行うと2クロックが費やされるので、そのクロック（レイテンシ）を調整するために遅延用の論理ユニットDELが組合される。さらに、マトリクス部20のレイアウトによる遅延を調整するために論理ユニットDELを適当に組み合わせる必要がある。

図20に、このデータプログラム101をマトリクス部20に割り付けた様子を示してある。末尾の演算ユニットSMAは、その値を出力する演算ユニットSTと同じ列で見つかっている。その演算ユニットSMAの一方の入力元となる演算ユニットDELは同じ列で見つかり、他方の入力元となる演算ユニットSMAは隣の列で見つかっている。図20のマトリクス部20は、3つのセグメント29に分かれているので、同じ列で見つかった演算ユニットDELの入力元となる演算ユニットLDとは2つの演算ユニットDELを介して接続されている。同

様に、隣の列で見つかった演算ユニットSMAの入力元となる演算ユニットLDとは2つの演算ユニットDELを介して接続されている。したがって、マトリクス部20にマッピングされたデータフロープログラム101の実際の組み合わせは図21に示すようになる。この組み合わせを指示する命令80が、このマトリクス部20を有するLSI10の実行プログラム3に組み込まれ、その命令80によりRISCプロセッサ11がマトリクス部20の組み合わせを制御する。それにより、中間記述73bの処理がマトリクス部20でハードウェアにより実行される。

以上に説明したように、本発明の集積回路装置は、特定の処理に適したデータパスを備えた複数種類の演算ユニットが配置されたデータ処理区画（マトリクス部）を備えており、これら複数種類の演算ユニットの組み合わせを決めることにより、与えられた仕様、あるいはその一部をハードウェアで実行可能な集積回路装置を極めて短期間に設計および製造できる。データ処理区画に配置された演算ユニットは、命令を実行する機能を備えているので、与えられた仕様を、演算ユニットがサポートする命令を含む中間言語による記述に置き換えるだけで、ソフトウェア処理をハードウェア処理に変換することが可能である。そして、演算ユニットの組み合わせを見つけるだけで、そのデータ処理区画で実行可能な処理を定義できる。したがって、与えられた仕様を実行するハードウェアを製造するために、ハードウェア記述言語に展開し、トランジスタレベルの構成に論理合成し、それからハードウェアを生成したり、FPGAにロードできる情報に変換したりする必要はない。さらに、論理ユニットの組み合わせを生成するために作成される中間言語の記述は、設計者が容易に処理を把握できるプログラム言語であり、修正や変更に対しても極めて柔軟に短期間で対応できる。

また、データ処理区画に配置された演算ユニットは、すべてが同一構成の汎用性だけを追求したものではなく、命令により指示される処理を実行するのに適した、異なる、または固有のデータパスを備えているので、回路の冗長性は少ない。したがって、コンパクトで経済的な集積回路装置を提供することができる。処理速度も速く、AC特性も良好な集積回路装置を提供することができる。そして、この集積回路装置は、複数の演算ユニットにより構成される機能を1クロックで

簡単に変更できる能力を備えているので、データ処理区画を構成する演算ユニットおよび配線群といった資源を多種多様な処理に有効活用できる。

- 上述した例は、本発明の一例であり、本発明は、本明細書で開示したように様々なバリエーションを含んでいる。たとえば、マトリクス状に配置された演算
- 5 ユニットの組み合わせにより構成されるデータフロープログラムが固定されたものから、データフロープログラムがプログラムによりダイナミックに再構成可能なものまで含んでいる。また、演算ユニットの組み合わせ、および演算ユニットの内部のデータパスの選択の制御は、リスクプロセッサからの指示に限らず、他のLSI、他のマトリクス、さらには、マトリクス内の演算ユニットからも可能である。上
- 10 述した演算ユニットはアドレス発生、算術演算、論理演算、乗算、遅延などの特定の処理に適したデータパスを備えているものの例であり、演算ユニットに含まれるデータパスの機能や、構成は本例に限定されるものではない。また、マトリクス状に配置される演算ユニットの種類も上記の例に限定されるものではない。本発明のデータ処理装置で実行されるアプリケーションに適した機能のデータパ
- 15 スを備えた幾種類の演算ユニットを生成し、それらを配置してバスで配線することにより本発明の効果を得ることが可能である。

産業上の利用可能性

- 本発明の集積回路装置は、様々なデータ処理を実行可能なシステムLSIなど
- 20 として提供することが可能である。また、本発明の集積回路装置は、電子回路に限定されることはなく、光回路あるいは光電子回路にも適用できるものである。本発明の集積回路装置は、再構成可能なハードウェアによりデータ処理を高速に実行できるので、ネットワーク処理や、画像処理などの高速性およびリアルタイム性が要求されるデータ処理装置に好適なものである。

請 求 の 範 囲

1. 第1および第2の方向にマトリクス状に配置された複数の演算ユニットと、
前記複数の演算ユニットの前記第1の方向の配列に対応して前記第1の方向に
5 延び、各演算ユニットの入力および／または出力データを伝送する複数の第1の
配線群と、
前記複数の演算ユニットの前記第2の方向の配列に対応して前記第2の方向に
延び、前記各演算ユニットの入力および／または出力データを伝送する複数の第
2の配線群と、
10 前記第1および第2の配線群の各々の交点に配置され、前記第1の配線群に含
まれる任意の配線と前記第2の配線群に含まれる任意の配線を選択して接続可能
な複数のスイッチングユニットと、を備えたデータ処理区画を有し、
前記複数の演算ユニットは、特定の処理に適した異なるデータパスを備えた複
数種類の演算ユニットに分類され、前記データ処理区画の少なくとも一部では、
15 同一種類の演算ユニットが前記第1または第2の方向の配列を形成している集積
回路装置。

2. 前記複数種類の演算ユニットが前記第1の方向に等間隔で配置されている
請求項1の集積回路装置。
20

3. 前記複数種類の演算ユニットは、少なくとも1つの異なる命令レベルの処
理に適したデータパスを備えた、異なる種類の演算ユニットを含んでいる請求項
1の集積回路装置。

25 4. 前記複数種類の演算ユニットのうち、データの入力および／または出力処
理に適したデータパスを備えた演算ユニットが、前記データ処理区画の一方の端
と他方の端に配列されている、請求項1の集積回路装置。

5. 前記各演算ユニットは、入力データをラッチするフリップフロップと、出

力データをラッチするフリップフロップとを備えている、請求項 1 の集積回路装置。

- 5 6. 前記複数種類の演算ユニットの少なくとも 1 つの種類の演算ユニットは、同一方向に配列されたときに、他の演算ユニットと連携して拡張された演算機能を提供可能なパスを備えている、請求項 1 の集積回路装置。

- 10 7. 前記各演算ユニットは、前記第 1 の配線群および／または第 2 の配線群に含まれる任意の配線を選択して信号を入力および／または出力する手段を備えている、請求項 1 の集積回路装置。

8. 前記各演算ユニットは、配線を選択を記憶する書き換え可能なコンフィグレーションメモリを備えており、
15 前記スイッチングユニットは、配線を選択を記憶する書き換え可能なコンフィグレーションメモリを備えている請求項 7 の集積回路装置。

9. 前記各演算ユニットは、内部のデータパスの一部を変更および／または選択する手段を備えており、前記コンフィグレーションメモリは前記内部のデータパスの変更および／または選択も記憶する、請求項 8 の集積回路装置。

20

10. 前記内部のデータパスは、少なくとも 1 つの命令レベルの処理に適したデータパスである、請求項 9 の集積回路装置。

- 25 11. 前記コンフィグレーションメモリの内容を書き換え可能な汎用プロセッサを有する請求項 8 の集積回路装置。

12. 複数の前記データ処理区画と、これらのデータ処理区画を接続する第 3 の配線群とを有する請求項 1 の集積回路装置。

1 3. 前記各演算ユニットは、データをバイトおよび／またはワード単位で処理する、請求項 1 の集積回路装置。

1 4. 前記第 1 および第 2 の配線群はデータを伝送するバス配線と、キャリー
5 信号を伝送するキャリー配線とを備えている、請求項 1 の集積回路装置。

1 5. 前記各演算ユニットは、前記第 2 の配線群に含まれる任意の配線から信号を入力する手段と、前記第 1 の配線群に含まれる任意の配線に信号を出力する手段とを備えており、

10 前記第 2 の配線群は、前記複数の演算ユニットの前記第 2 の方向の配列の両側に沿って延びた 1 組の配線群を備えている、請求項 1 の集積回路装置。

1 6. 前記データ処理区画は、前記複数種類の演算ユニットのうち、データの伝送を遅延する処理に適したデータパスを備えた演算ユニットの配列を介して接
15 続された第 1 のマトリクスと第 2 のマトリクスとを備えている、請求項 1 の集積回路装置。

1 7. 前記複数種類の演算ユニットは、

データの入力処理に適したデータパスを備えた第 1 種の演算ユニット、

20 入力データのアドレスを指定する処理に適したデータパスを備えた第 2 種の演算ユニット、

データの出力処理に適したデータパスを備えた第 3 種の演算ユニット、

出力するデータのアドレスを指定する処理に適したデータパスを備えた第 4 種の演算ユニット、

25 算術演算および／または論理演算の処理に適したデータパスを備えた第 5 種の演算ユニット、

乗算処理に適したデータパスを備えた第 6 種の演算ユニット、

データの伝送時間を遅らせる処理に適したデータパスを備えた第 7 種の演算ユニット、

前記データ処理区画の外部に配置された演算回路と接続する処理に適したデータパスを備えた第8種の演算ユニット、および

ルックアップテーブルにより処理が選択されるデータパスを備えた第9種の演算ユニットの少なくともいずれかを含んでいる、請求項1の集積回路装置。

5

18. 複数種類の演算ユニットと、それら複数種類の演算ユニットを接続する配線群と、を備えたデータ処理区画を有し、

前記複数種類の演算ユニットは、少なくとも1つの異なる命令の実行に適したデータパスを備えた、異なる種類の演算ユニットを含んでいる集積回路装置。

10

19. 前記複数種類の演算ユニットは、

データの入力命令の実行に適したデータパスを備えた第1種の演算ユニット、
入力データのアドレスを指定する命令の実行に適したデータパスを備えた第2種の演算ユニット、

15 データの出力命令の実行に適したデータパスを備えた第3種の演算ユニット、
出力するデータのアドレスを指定する命令の実行に適したデータパスを備えた第4種の演算ユニット、

算術演算命令および／または論理演算命令の実行に適したデータパスを備えた第5種の演算ユニット、および

20 乗算命令の実行に適したデータパスを備えた第6種の演算ユニットの少なくともいずれかを含んでいる、請求項18の集積回路装置。

20. 前記複数種類の演算ユニットは、さらに、

25 データの伝送時間を遅らせる処理に適したデータパスを備えた第7種の演算ユニット、

前記データ処理区画の外部に配置された演算回路と接続する処理に適したデータパスを備えた第8種の演算ユニット、および

ルックアップテーブルにより処理が選択されるデータパスを備えた第9種の演算ユニットの少なくともいずれかを含んでいる、請求項19の集積回路装置。

2 1. 前記複数種類の演算ユニットは、入力データをラッチするフリップフロップと、出力データをラッチするフリップフロップとを備えている、請求項 1 8 の集積回路装置。

5

2 2. 前記複数種類の演算ユニットは、第 1 および第 2 の方向にマトリクス状に配置されている、請求項 1 8 の集積回路装置。

2 3. 前記複数種類の演算ユニットのうち、データの入力命令および／または出力命令の実行に適したデータパスを備えた演算ユニットが、前記データ処理区画の一方の端と他方の端に配列されている、請求項 2 2 の集積回路装置。

2 4. 前記配線群は、前記複数種類の演算ユニットの前記第 1 の方向の配列の対応して前記第 1 の方向に延び、各演算ユニットの入力および／または出力データを伝送する複数の第 1 の配線群と、

15

前記複数種類の演算ユニットの前記第 2 の方向の配列に対応して前記第 2 の方向に延び、前記各演算ユニットの入力および／または出力データを伝送する複数の第 2 の配線群と、

前記第 1 および第 2 の配線群の各々の交点に配置され、前記第 1 の配線群に含まれる任意の配線と前記第 2 の配線群に含まれる任意の配線を選択して接続可能な複数のスイッチングユニットとを備えており、

20

前記各演算ユニットは、前記第 1 の配線群および／または第 2 の配線群に含まれる任意の配線を選択して信号を入力および／または出力する手段を備えている、請求項 2 2 の集積回路装置。

25

2 5. 前記配線群は、前記複数種類の演算ユニットに供給されるデータのルートを変えてデータ処理のための前記複数種類の演算ユニットの組み合わせを変更可能である、請求項 1 8 の集積回路装置。

26. 前記複数種類の演算ユニットは、配線の選択を記憶する書き換え可能なコンフィグレーションメモリを備えており、

前記スイッチングユニットは、配線の選択を記憶する書き換え可能なコンフィグレーションメモリを備えている請求項25の集積回路装置。

5

27. 前記複数種類の演算ユニットの少なくともいずれかは、少なくとも1つの命令の実行に適した内部のデータパスと、その内部のデータパスの一部を選択および／または変更する手段とを備えており、

前記コンフィグレーションメモリは前記内部のデータパスの選択および／または変更も記憶する、請求項26の集積回路装置。

10

28. プログラムに基づき前記コンフィグレーションメモリの内容を書き換える制御ユニットを有する請求項26の集積回路装置。

15 29. プログラムに基づき前記複数種類の演算ユニットの組み合わせを制御する制御ユニットを有する請求項25の集積回路装置。

30. 前記複数種類の演算ユニットの少なくともいずれかは、少なくとも1つの命令の実行に適した内部のデータパスと、その内部のデータパスの一部を選択および／または変更する手段とを備えており、

20

前記制御ユニットは、前記内部のデータパスの選択および／または変更も制御する、請求項29の集積回路装置。

31. 前記制御ユニットは汎用プロセッサである、請求項29の集積回路装置。

25

32. 複数の前記データ処理区画と、これらのデータ処理区画を接続する配線群とを有する請求項18の集積回路装置。

33. 複数の演算ユニットと、それら複数の演算ユニットを接続する配線群と、

を備えたデータ処理区画を有し、

前記複数の演算ユニットは、特定の処理に適した異なるデータパスを備えた複数種類の演算ユニットに分類され、さらに、各演算ユニットは、データをバイトおよび／またはワード単位で処理する、集積回路装置。

5

34. 前記複数種類の演算ユニットは、少なくとも1つの異なる命令レベルの処理に適したデータパスを備えた、異なる種類の演算ユニットを含んでいる、請求項33の集積回路装置。

10 35. 第1および第2の方向にマトリクス状に配置された複数種類の演算ユニットと、それら複数種類の演算ユニットを接続する配線群と、を備えたデータ処理区画を有し、前記複数種類の演算ユニットは、少なくとも1つの異なる命令の処理に適したデータパスを備えた、異なる種類の演算ユニットを含んでいる集積回路装置の設計方法であって、

15 当該集積回路装置において実行する処理の少なくとも一部を、前記複数種類の演算ユニットのいずれかにより実行可能な命令を含むプログラム言語で記述された中間記述に変換する工程と、

その中間記述の処理を実行可能な前記複数種類の演算ユニットの実行用の組み合わせを生成する工程と、

20 前記実行用の組み合わせを実現するように前記複数種類演算ユニットが配置された前記データ処理区画を生成する工程とを有する集積回路装置の設計方法。

36. 前記実行用の組み合わせを生成する工程では、データの伝送時間を遅らせる処理に適したデータパスを備えた演算ユニットをタイミング調整のために含めた前記実行用の組み合わせを生成する、請求項35の集積回路装置の設計方法。

25

37. 複数種類の演算ユニットが配置され、配線群により前記複数種類の演算ユニットに供給されるデータのルートを変えてデータ処理のための前記複数種類の演算ユニットの組み合わせを変更可能なデータ処理区画を有し、前記複数種類の

の演算ユニットは、少なくとも1つの異なる命令の処理に適したデータパスを備えた、異なる種類の演算ユニットを含んでいる集積回路装置の設計方法であって、

当該集積回路装置において実行する処理の少なくとも一部を、前記複数種類の演算ユニットのいずれかにより実行可能な命令を含むプログラム言語で記述された中間記述に変換する工程と、

その中間記述の処理を実行可能な前記複数種類の演算ユニットの実行用の組み合わせを生成する工程と、

前記実行用の組み合わせに必要となる前記複数種類演算ユニットが配置された前記データ処理区画を生成する工程と、

- 10 前記実行用の組み合わせを指示する命令を備えた前記集積回路装置の実行プログラムを生成する工程とを有する集積回路装置の設計方法。

38. 前記複数の演算ユニットの少なくともいずれかは、少なくとも1つの命令の処理に適した内部のデータパスと、その内部のデータパスの一部を選択および/または変更する手段とを備えており、

前記実行用の組み合わせを生成する工程では、前記内部のデータパスの選択および/または変更も含めた前記実行用の組み合わせを生成する、請求項37の集積回路装置の設計方法。

- 20 39. 複数種類の演算ユニットが配置され、配線群により前記複数種類の演算ユニットに供給されるデータのルートを変えてデータ処理のための前記複数種類の演算ユニットの組み合わせを変更可能なデータ処理区画を有し、前記複数種類の演算ユニットは、少なくとも1つの異なる命令の処理に適したデータパスを備えた、異なる種類の演算ユニットを含んでいる集積回路装置の実行プログラムの
- 25 作成方法であって、

当該集積回路装置において実行する処理の少なくとも一部を、前記複数種類の演算ユニットのいずれかにより実行可能な命令を含むプログラム言語で記述された中間記述に変換する工程と、

その中間記述の処理を実行可能な前記複数種類の演算ユニットの実行用の組み

合わせを生成する工程と、

前記実行用の組み合わせを指示する命令を備えた前記実行プログラムを生成する工程とを有する集積回路装置の実行プログラムの作成方法。

- 5 40. 前記実行用の組み合わせを生成する工程では、前記命令の処理に適したデータパスを備えた演算ユニットにおける処理のタイミング調整のために、データの伝送時間を遅らせる処理に適したデータパスを備えた演算ユニットを含めた前記実行用の組み合わせを生成する、請求項39の集積回路装置の実行プログラムの作成方法。

10

41. 前記複数の演算ユニットの少なくともいずれかは、少なくとも1つの命令の処理に適した内部のデータパスと、その内部のデータパスの一部を選択および／または変更する手段とを備えており、

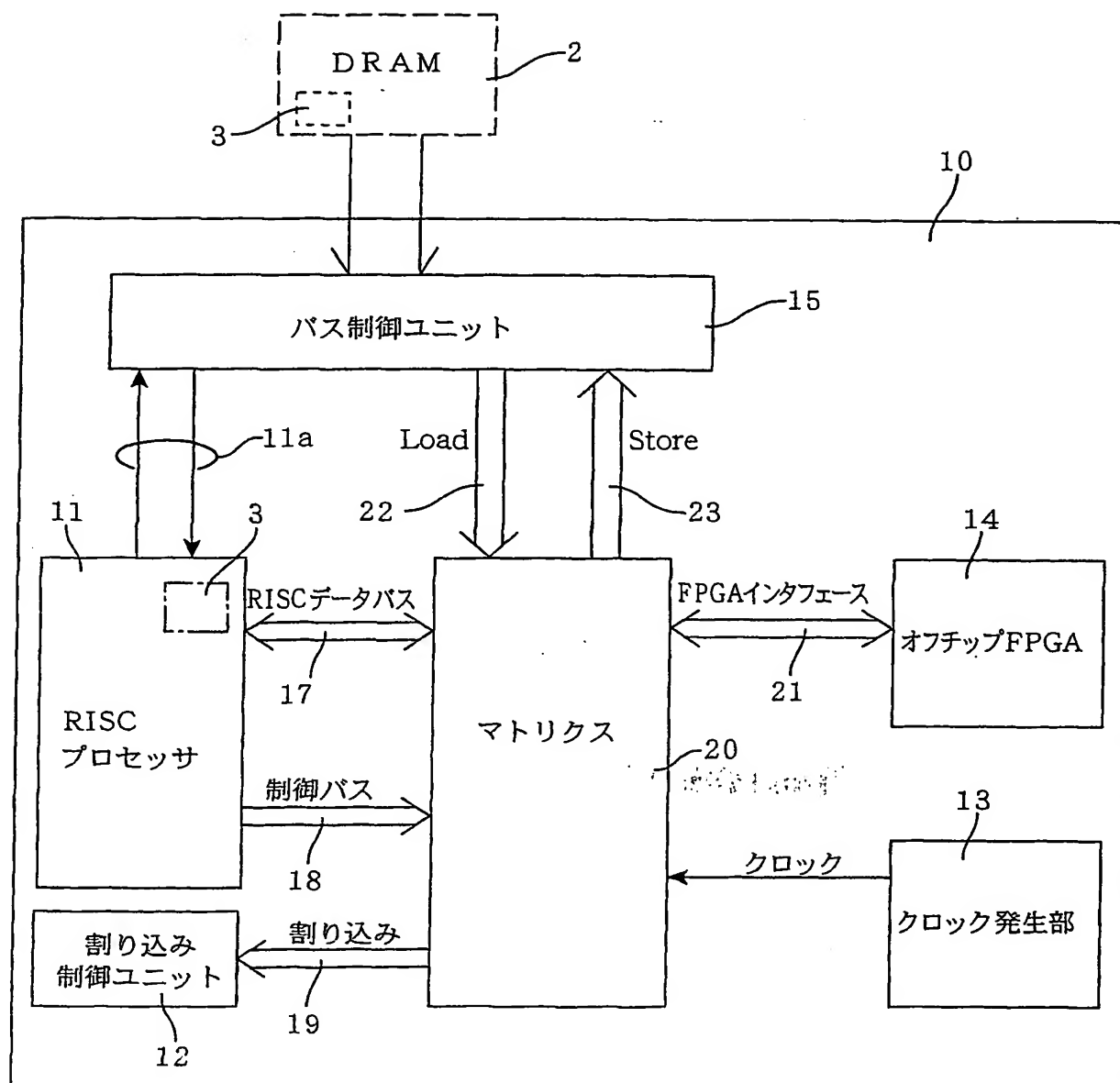
前記実行用の組み合わせを生成する工程では、前記内部のデータパスの選択お

15

よび／または変更も含めた前記実行用の組み合わせを生成する、請求項39の集積回路装置の実行プログラムの作成方法。

1 / 16

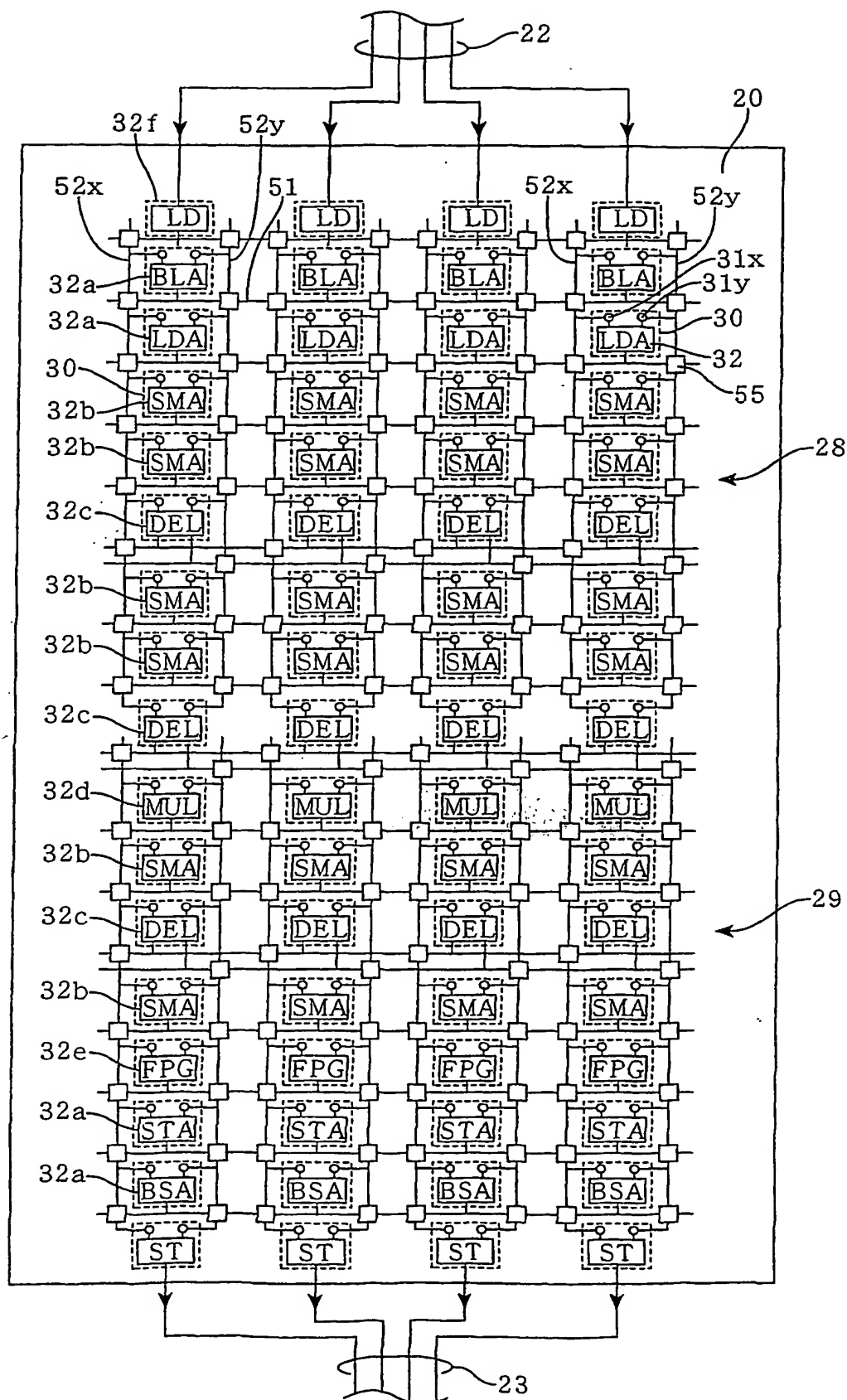
図 1



THIS PAGE BLANK (USPTO)

2 / 16

図 2



THIS PAGE BLANK (USPTO)

3 / 1 6

图 3

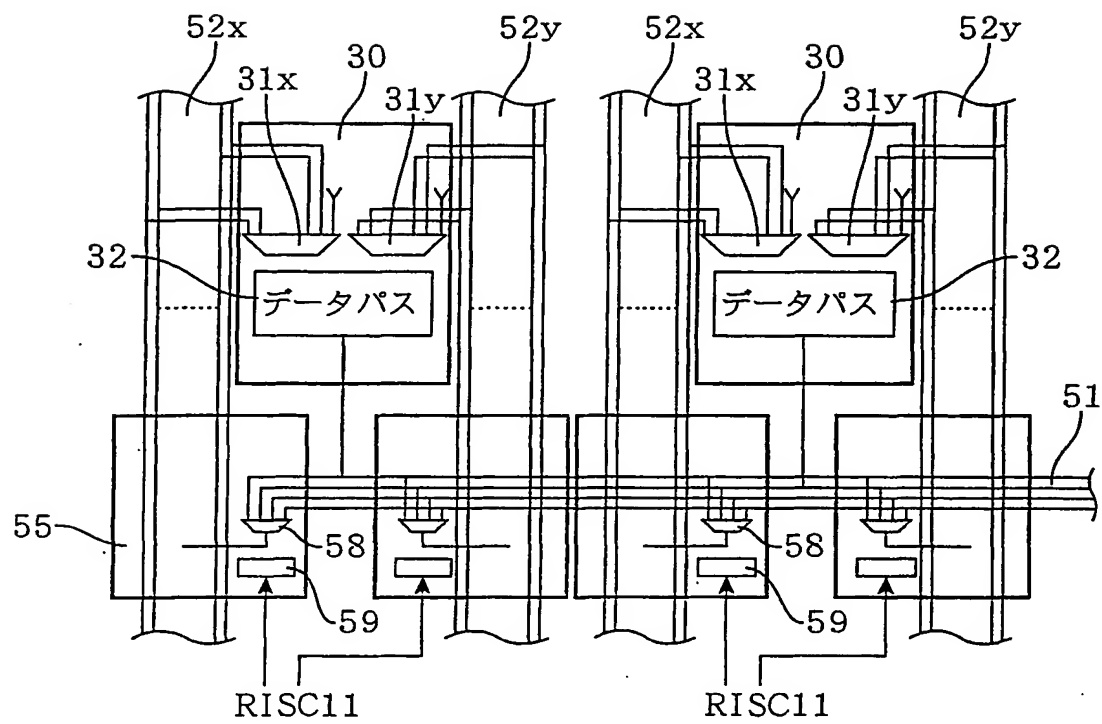
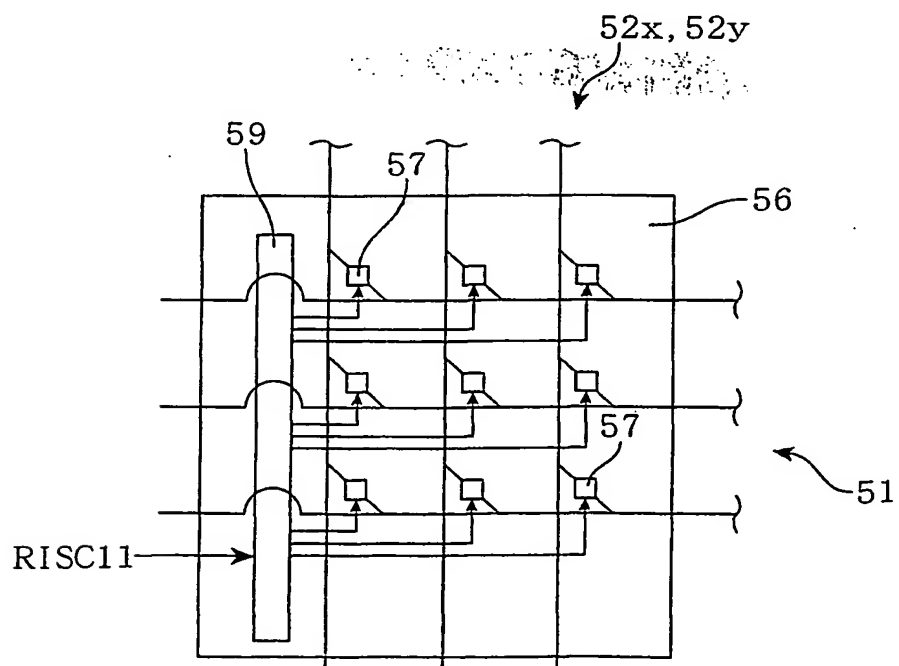


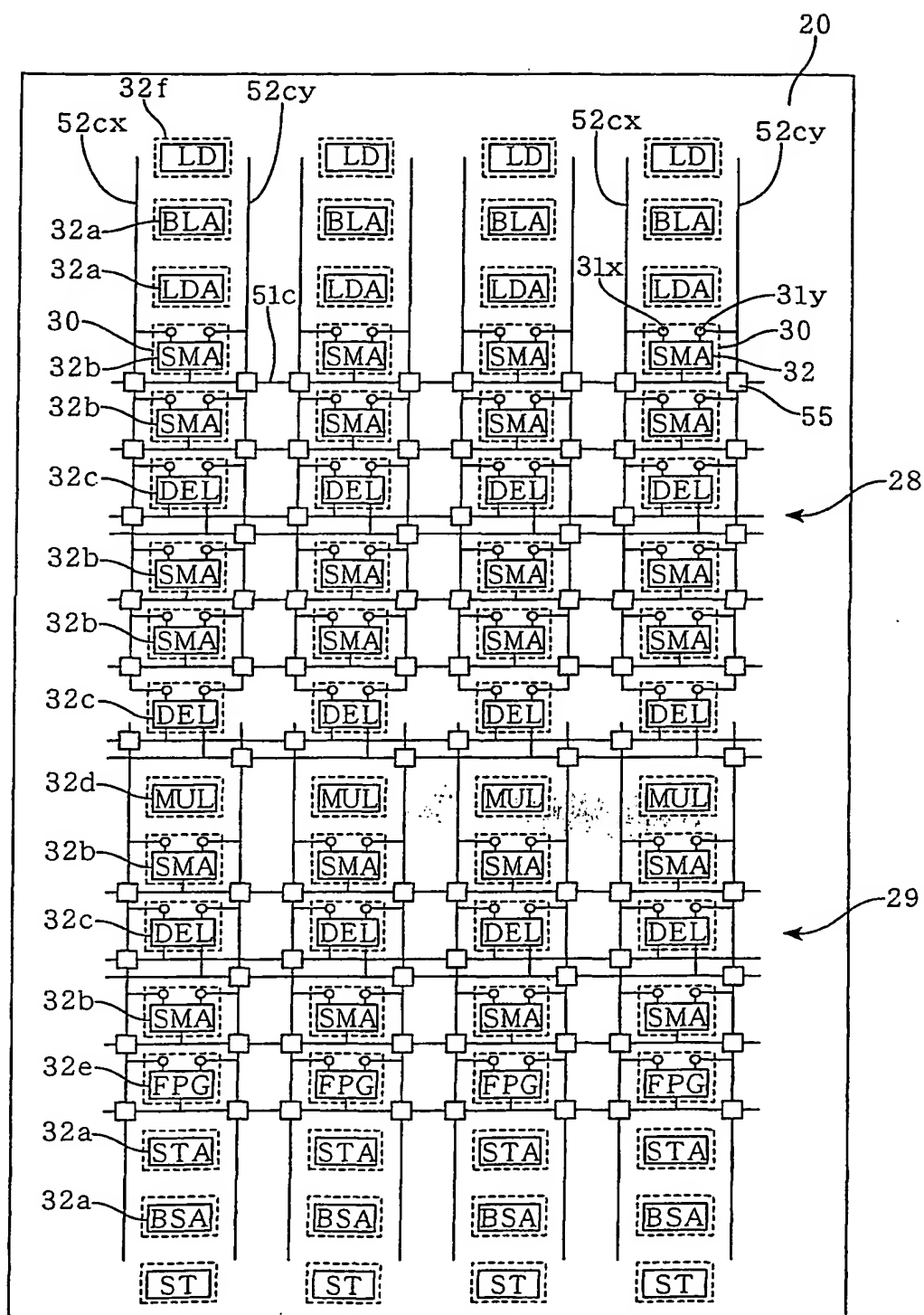
図 5



THIS PAGE BLANK (USP)

4 / 16

図 4



THIS PAGE BLANK (USE ...)

5 / 16

図 6

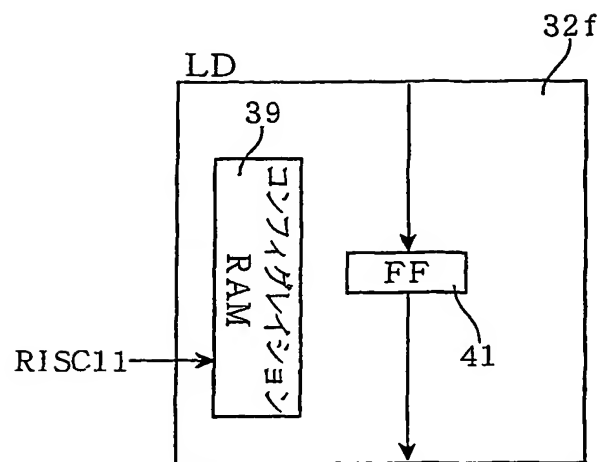
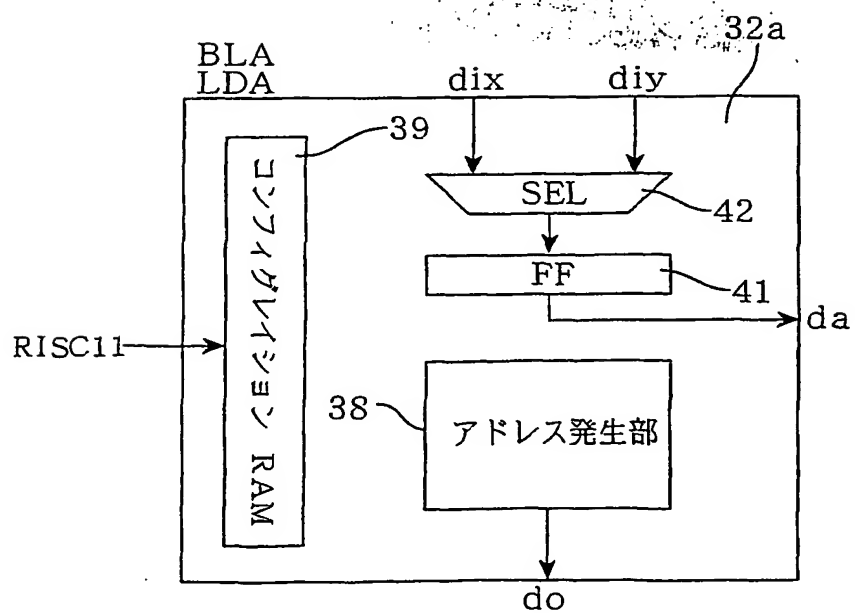


図 7



THIS PAGE BLANK (USPTO)

图 8

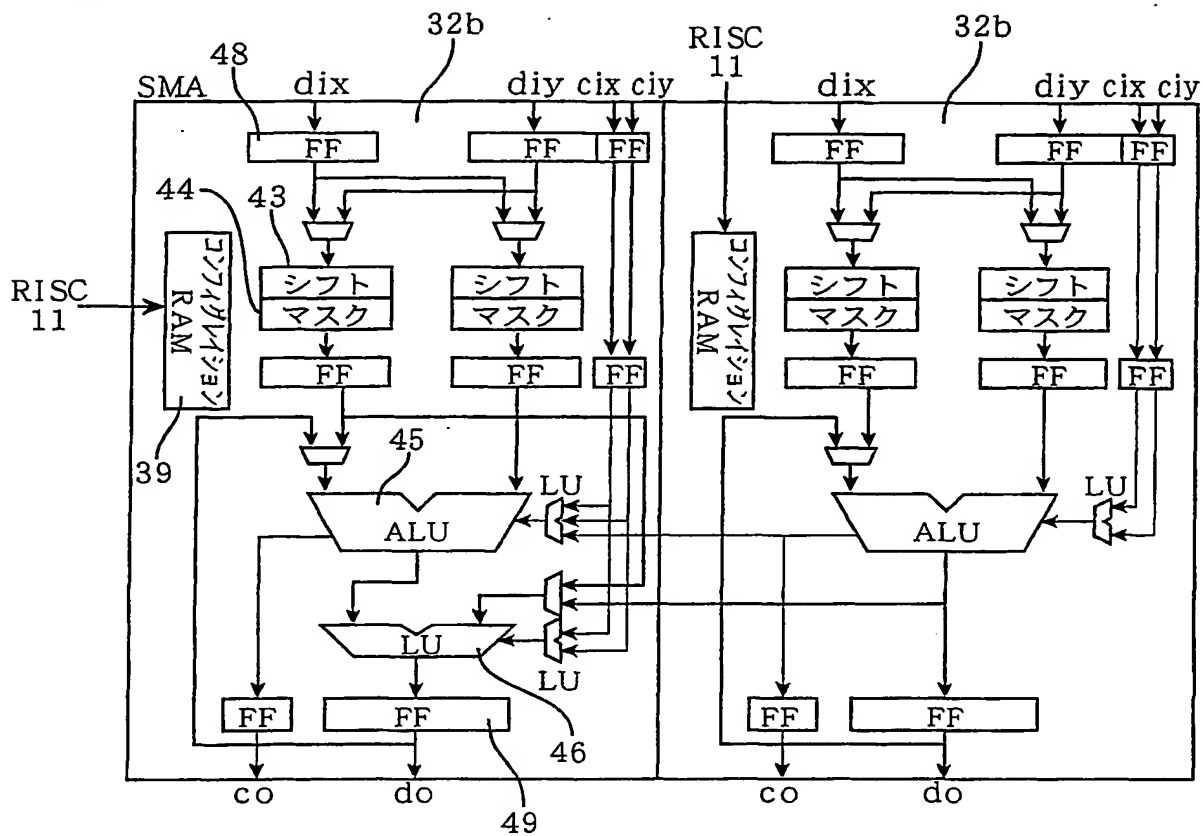
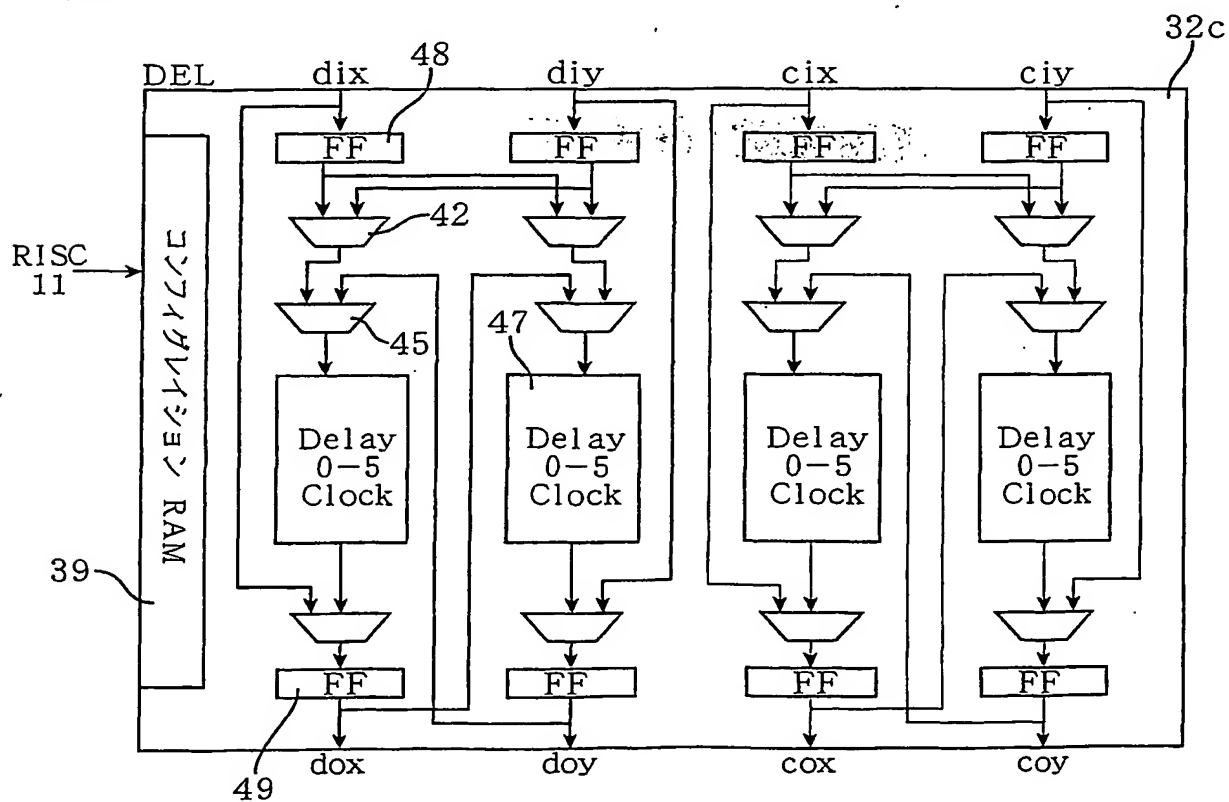


图 9



THIS PAGE BLANK (USPTO

7 / 16

図 10

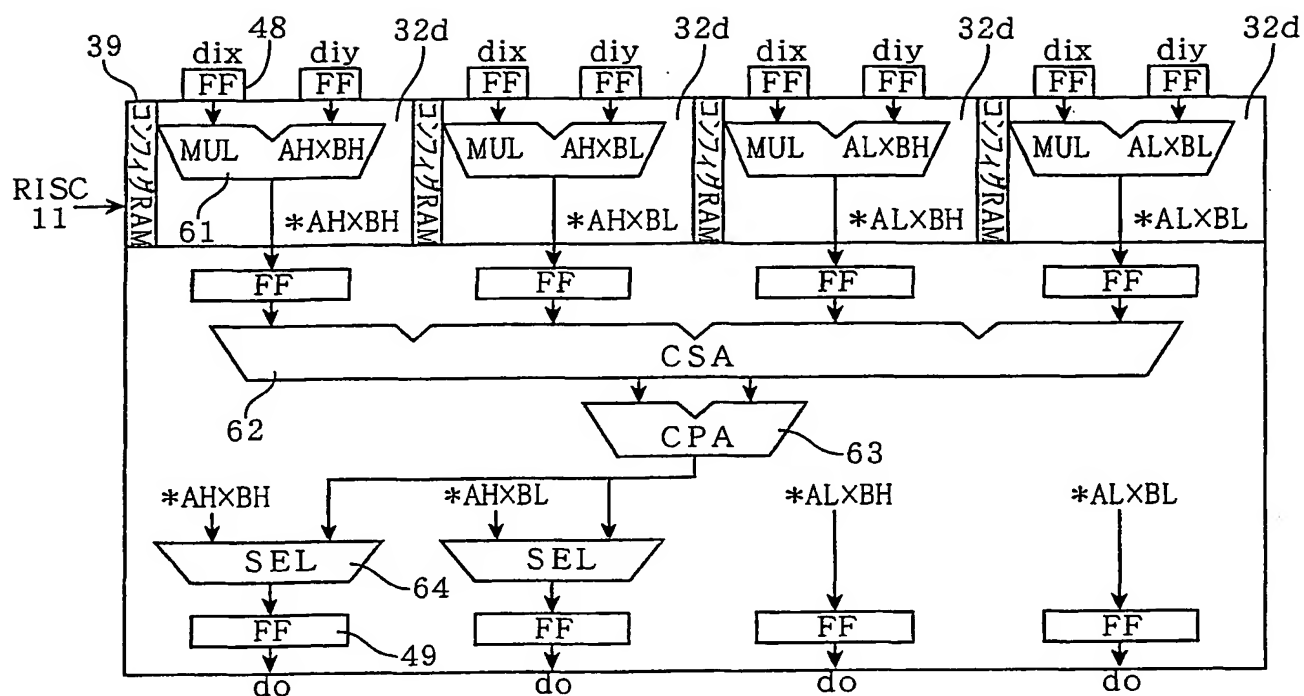
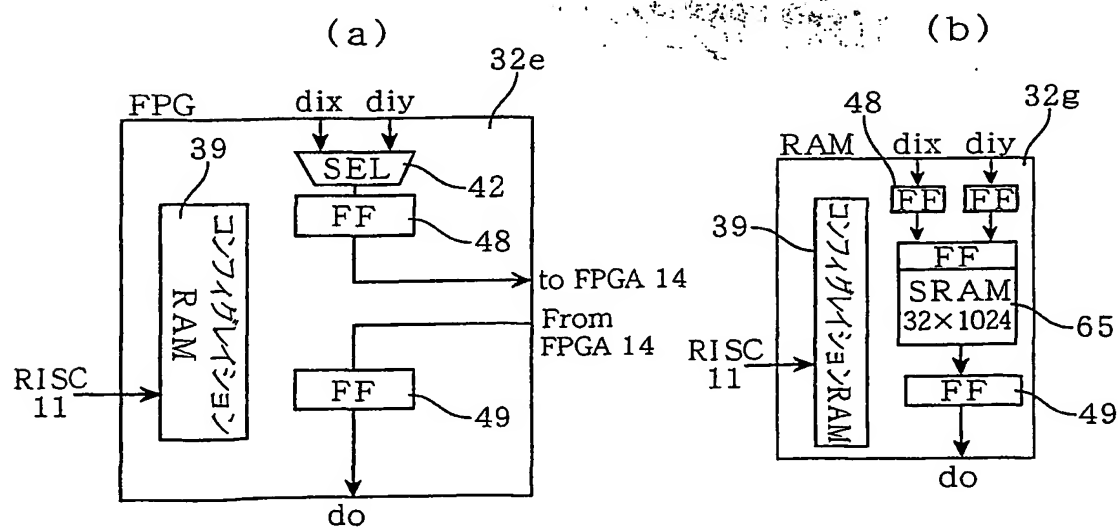


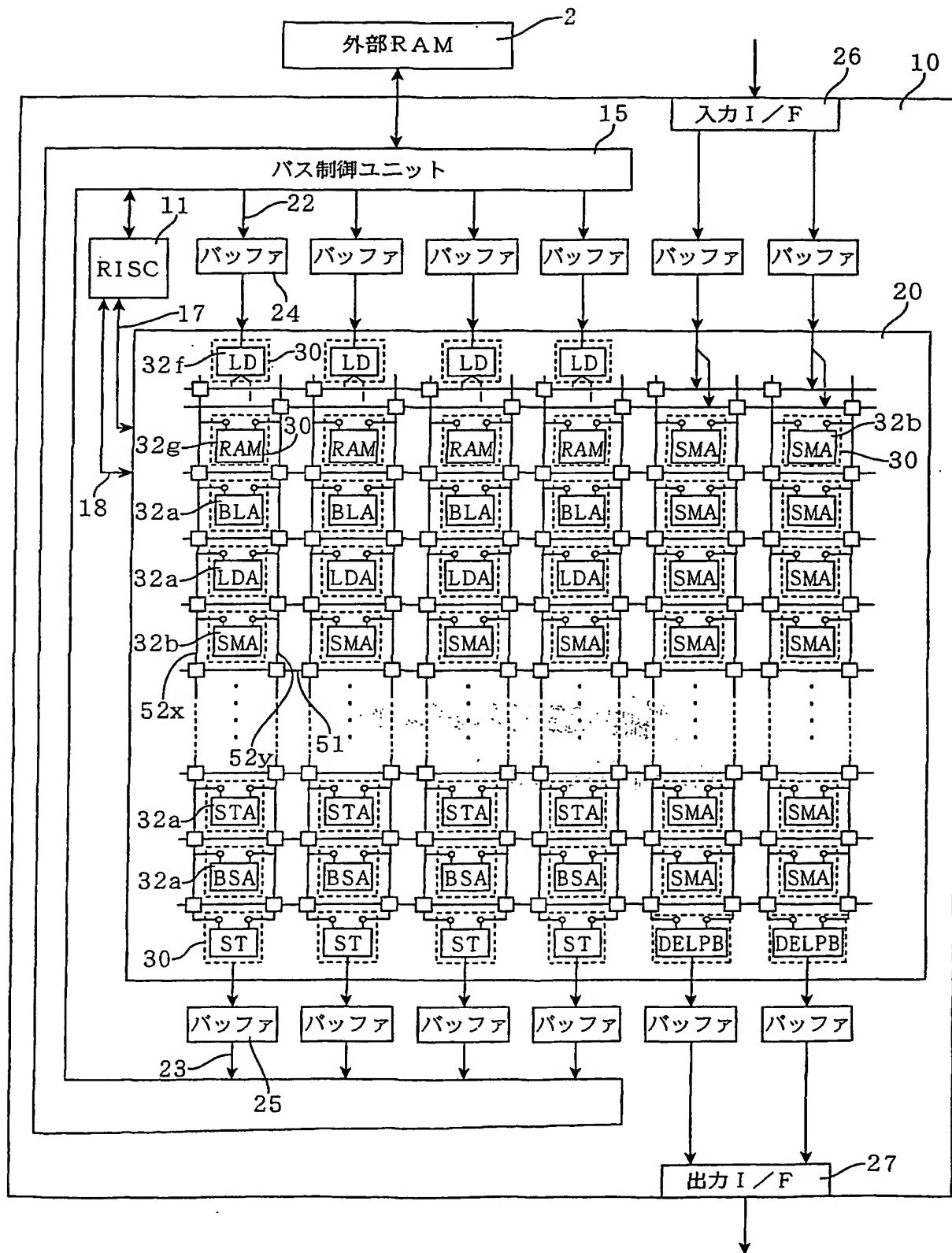
図 11



THIS PAGE BLANK (USP 10)

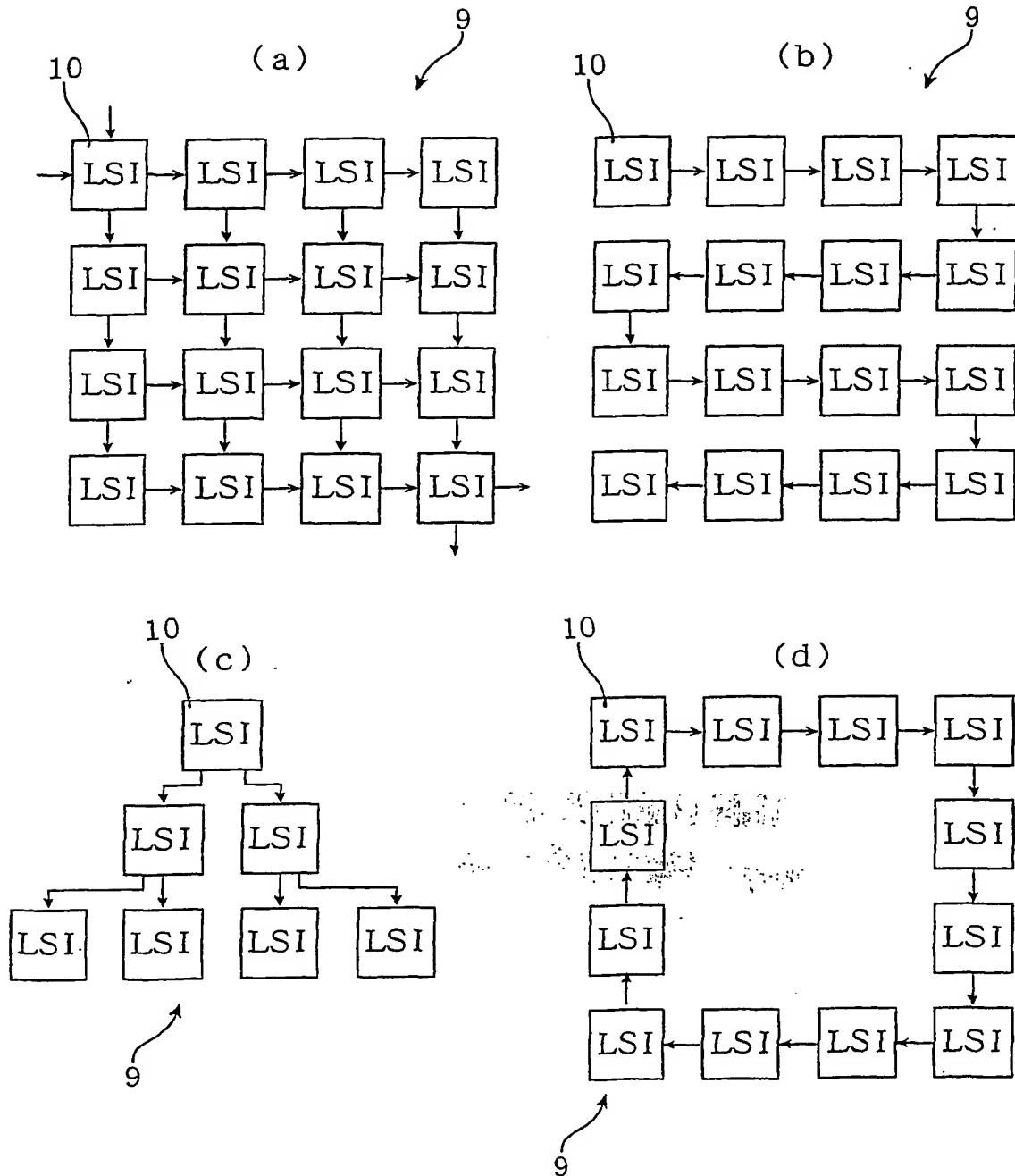
8 / 16

図 1 2



THIS PAGE BLANK (USPTO)

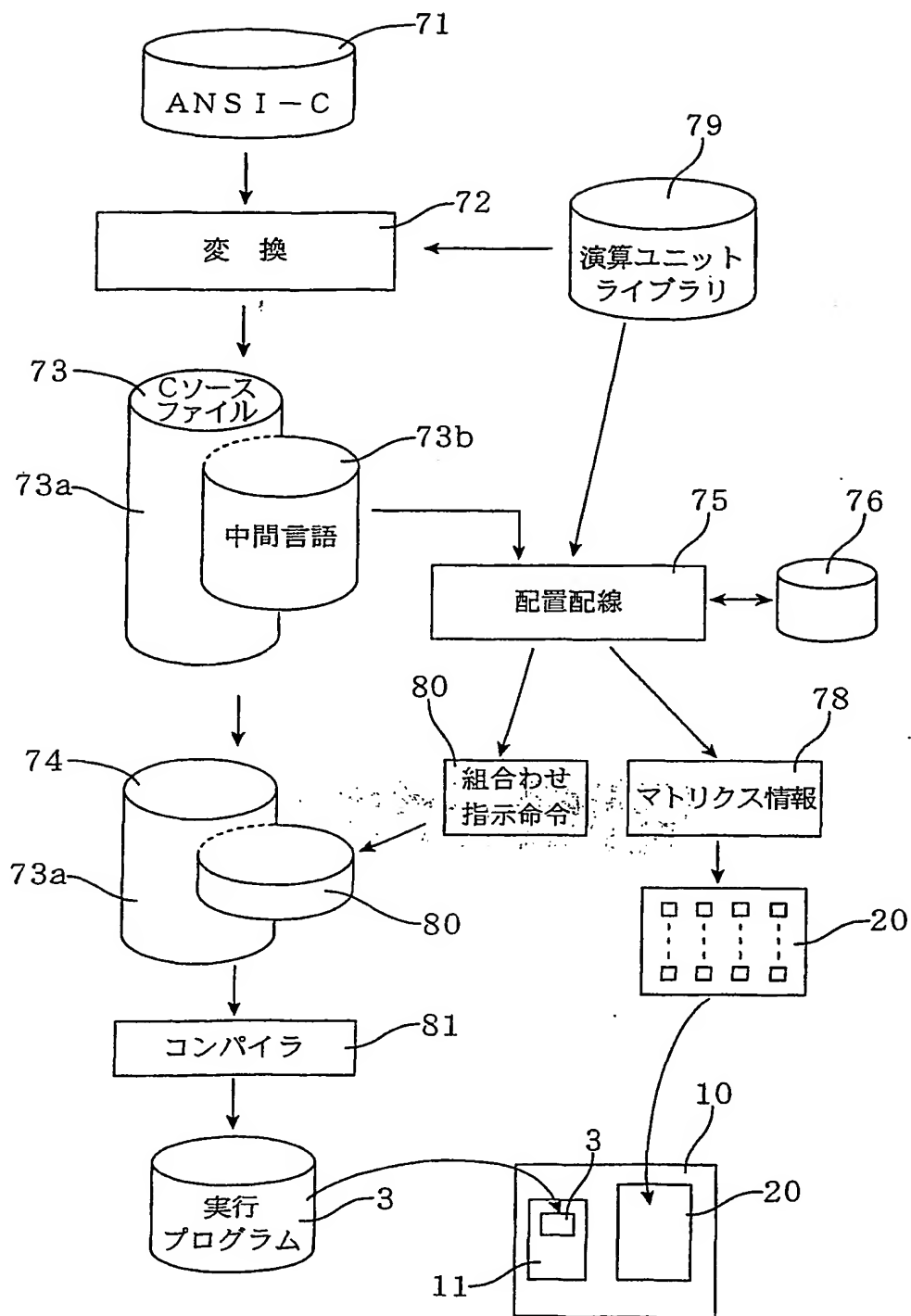
図 13



THIS PAGE BLANK (USPTO)

10/16

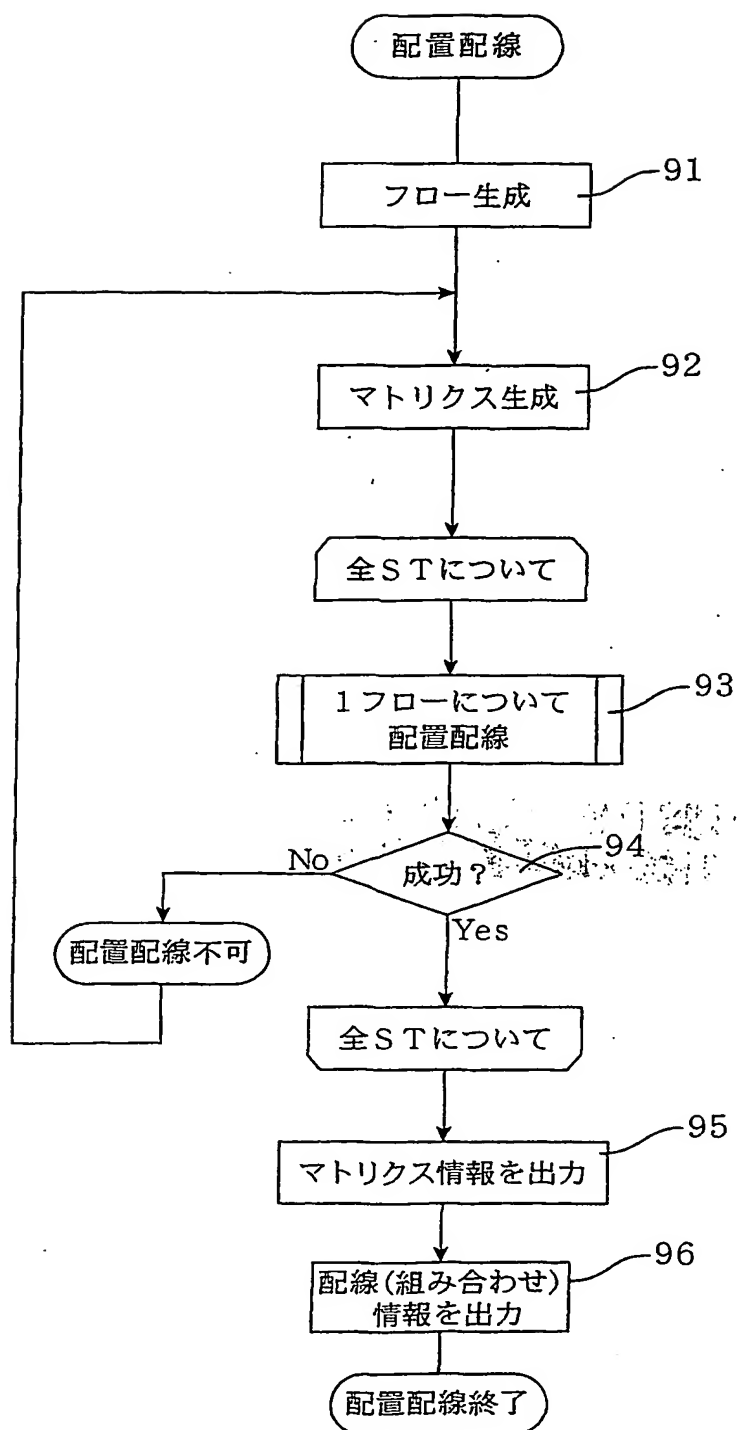
図14



THIS PAGE BLANK (USPTO)

11/16

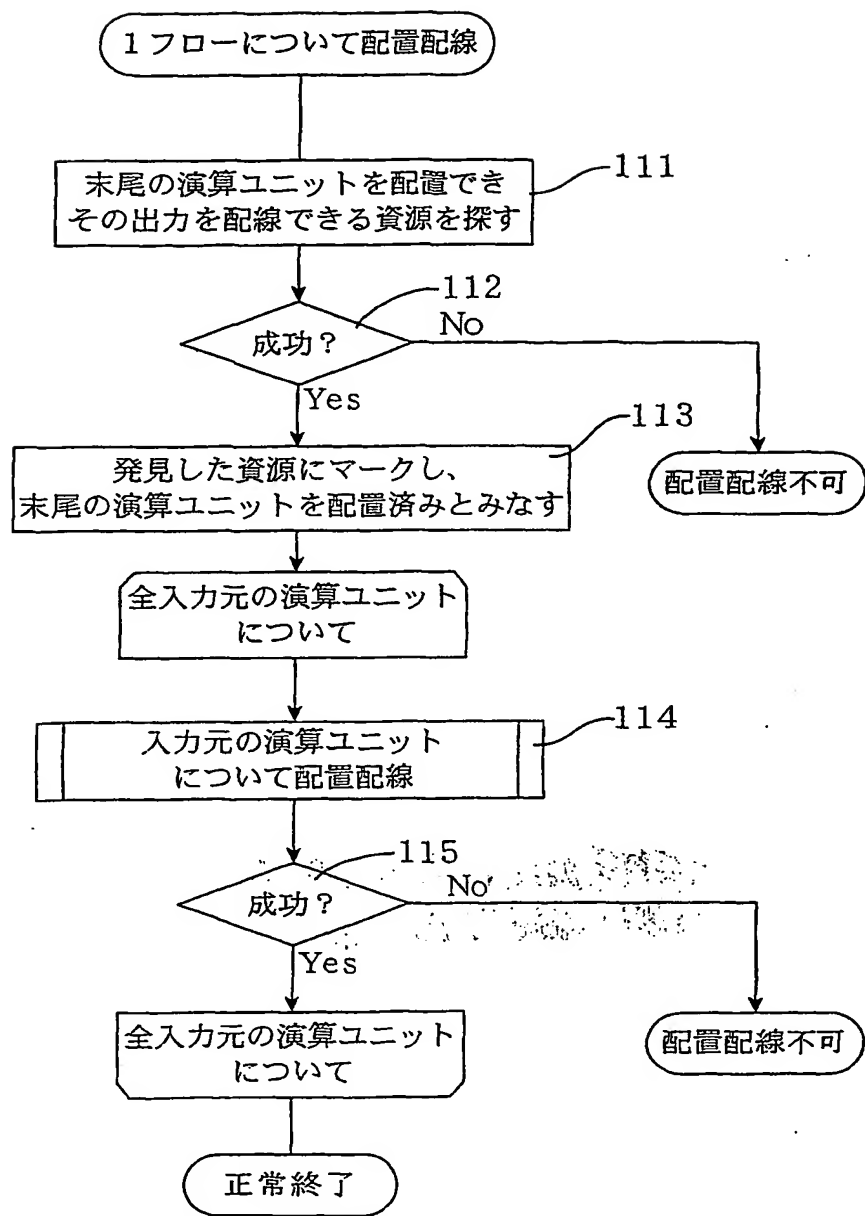
図15



THIS PAGE BLANK (USPTC,

12/16

図16



THIS PAGE BLANK (USPTO,

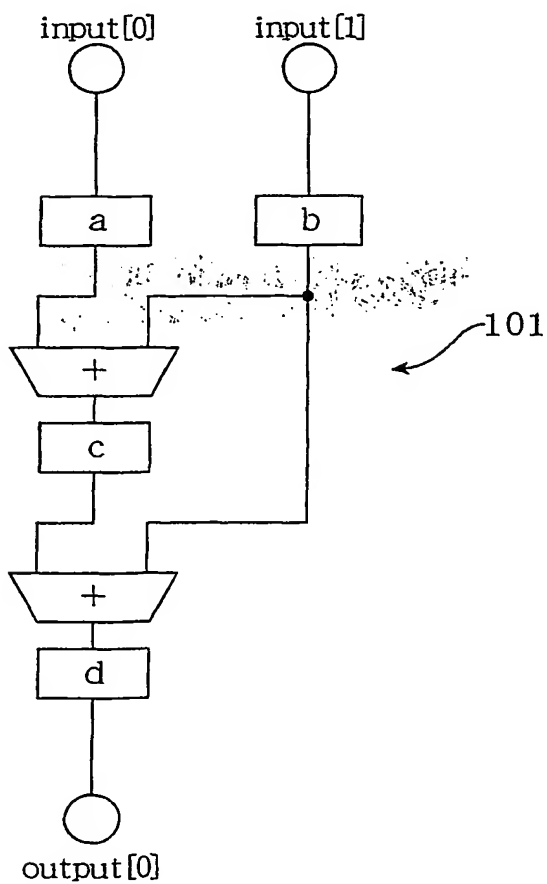
13/16

FIG 17

73b

```
sync int32 a, b, c, d;  
a @= input [0] ;  
b @= input [1] ;  
c @= a + b ;  
d @= c + b ;  
output [0] = d ;
```

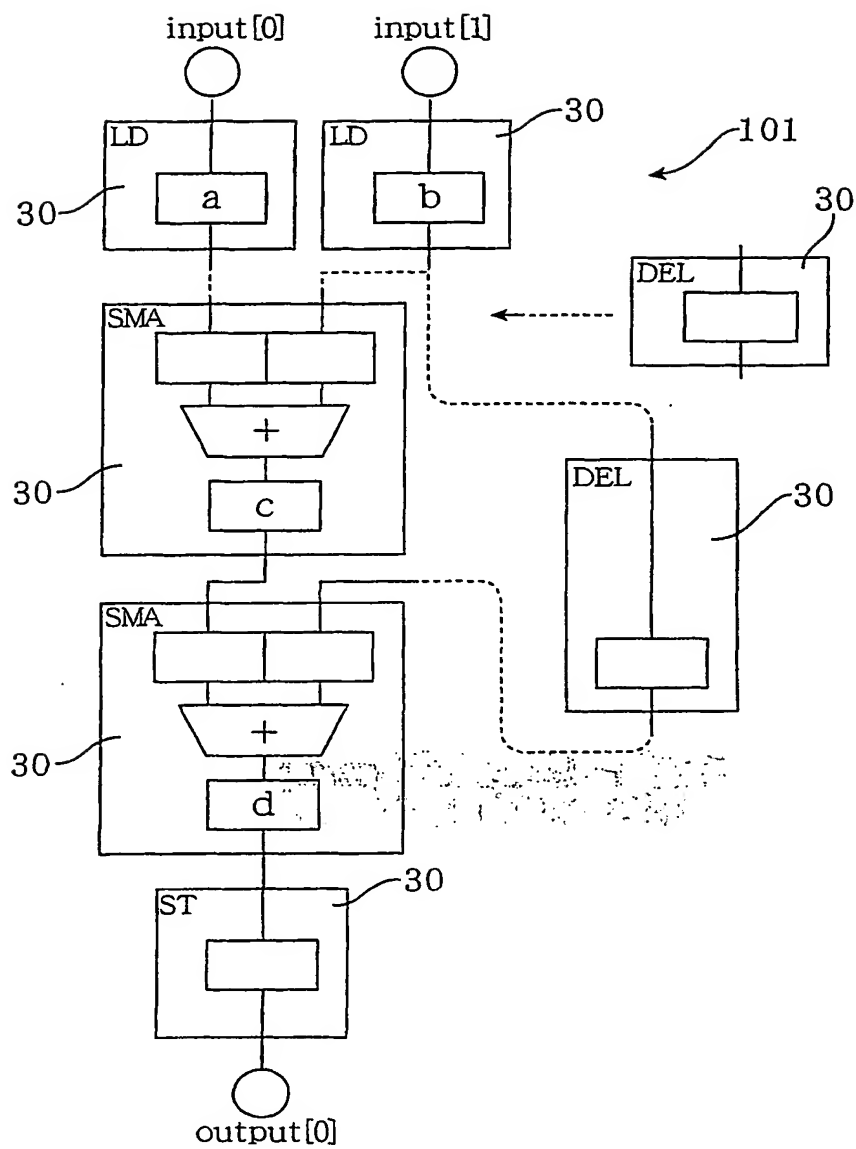
FIG 18



THIS PAGE BLANK (USPTO)

14/16

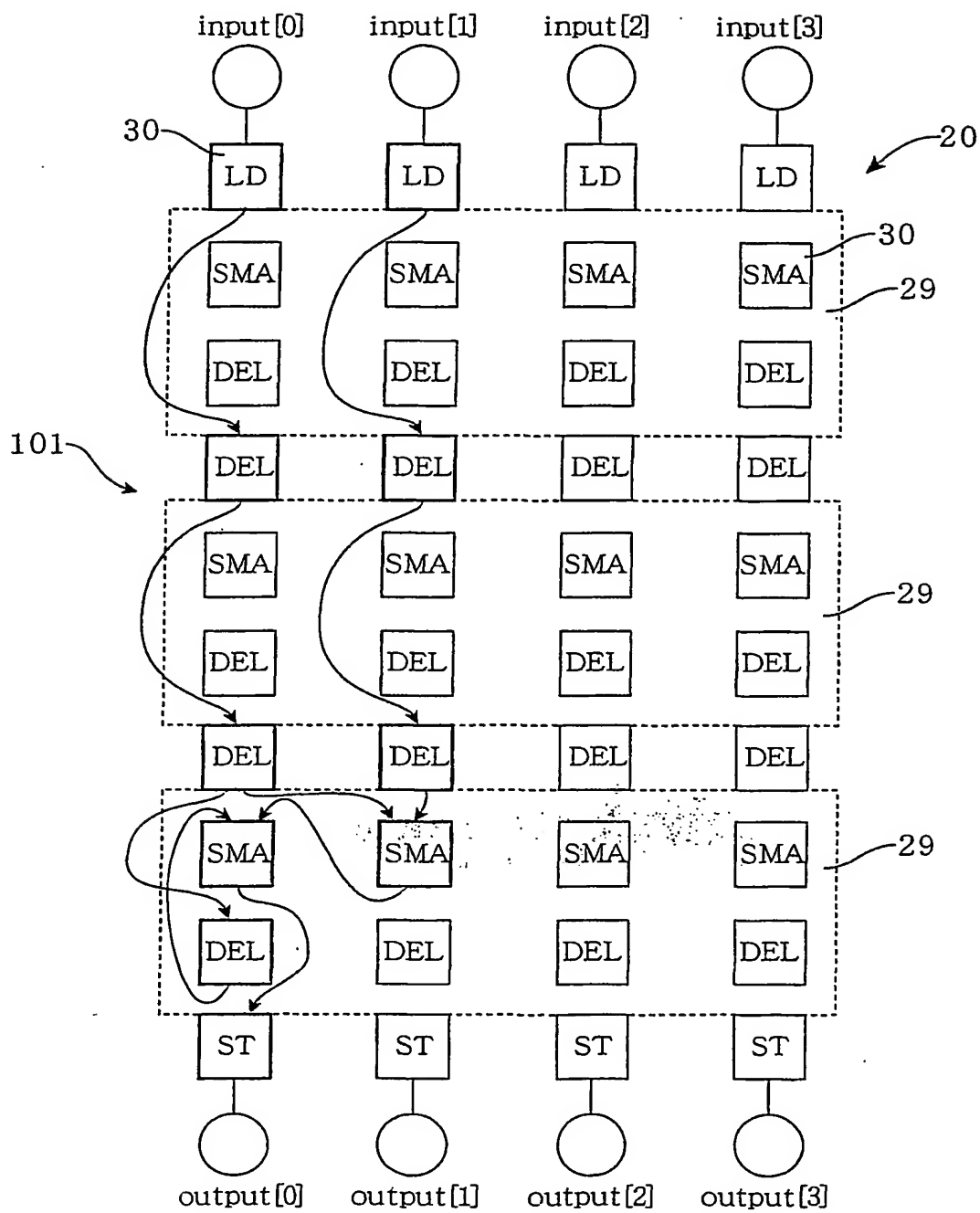
図 19



THIS PAGE BLANK (USPTO)

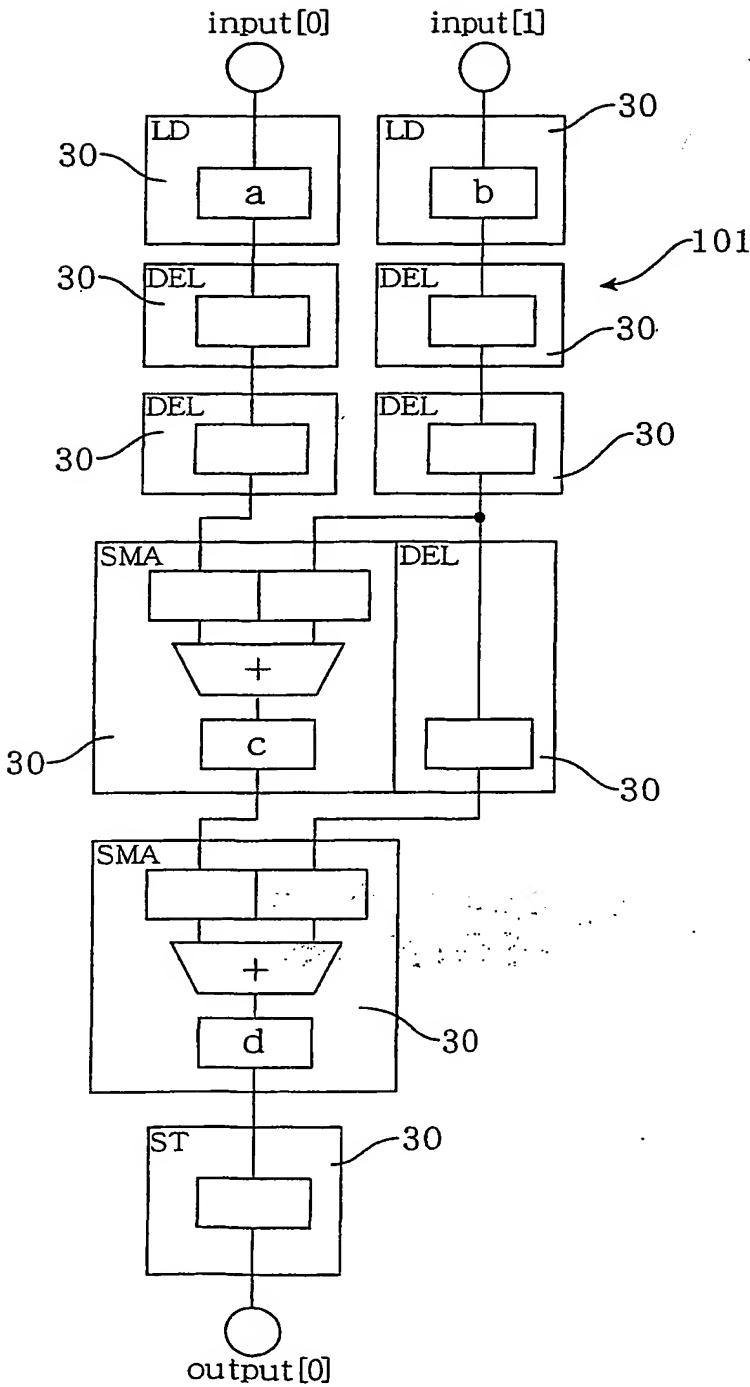
15 / 16

図 20



THIS PAGE BLANK (USPTO)

図 21



THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/05047

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H03K19/173, H01L21/82, H01L27/04, G06F15/16

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H03K19/173, H01L21/82, H01L27/04, G06F15/16, G06F17/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2000

Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|---|
| X | JP 8-101761 A (Pilkington Germany (No.2) Ltd.), 16 April, 1996 (16.04.96), Full text; all drawings | 1-3, 6, 7, 12, 16-20, 22, 24, 25, 32 |
| Y | & EP 668659 A2 | 4, 5, 8-11, 13-15, 21, 23, 26-31, 33-41 |
| Y | JP 8-510885 A (The Regents of the University of California), 12 November, 1996 (12.11.96), Page 8, lines 9 to 26; Fig. 1 | 4, 23 |
| A | & WO 94/28475 A1 & EP 701713 A1 & US 5596743 A | 1-3, 5-22, 24-41 |

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

26 August, 2002 (26.08.02)

Date of mailing of the international search report

10 September, 2002 (10.09.02)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/05047

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|--|
| Y A | JP 8-51356 A (Xilinx, Inc.), 20 February, 1996 (20.02.96), Page 10, left column, line 34 to right column, line 17; Fig. 6B & US 5426378 A & EP 678985 A2 | 5, 21 1-4, 6-20, 22-41 |
| Y A | JP 11-353152 A (NEC Corp.), 24 December, 1999 (24.12.99), Page 21, right column, lines 1 to 43; page 27, right column, line 45 to page 28, right column, line 4; Figs. 1, 30 to 32 & US 6188240 B1 | 8-11, 14, 26-31 1-7, 12, 13, 15-25, 32-41 |
| Y A | JP 7-86921 A (Actel Corp.), 31 March, 1995 (31.03.95), Page 5, left column, line 6 to page 6, left column, line 10; Fig. 2A & EP 639816 A2 & US 5457644 A | 13, 33, 34 1-12, 14-32, 35-41 |
| Y A | JP 9-246954 A (International Business Machines Corp.), 19 September, 1997 (19.09.97), Page 6, left column, line 40 to right column, line 41; Fig. 4 & EP 748052 A1 & US 5692147 A | 15 1-14, 16-41 |
| Y A | JP 11-120210 A (Toshiba Corp.), 30 April, 1999 (30.04.99), Full text; all drawings (Family: none) | 35-41 1-34 |
| A | JP 2000-512097 A (Systolix Ltd.), 12 September, 2000 (12.09.00), Page 10, line 25 to page 12, line 28; Figs. 2 to 10 & WO 97/46948 A1 & EP 976059 A1 & US 2002/0019925 A1 | 1-41 |
| A | WO 99/00731 A1 (Chameleon Systems, Inc.), 07 January, 1999 (07.01.99), Full text; all drawings & US 5966534 A & EP 991997 A1 & JP 2002-508102 A | 1-41 |

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int Cl⁷ H03K19/173, H01L21/82, H01L27/04, G06F15/16

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int Cl⁷ H03K19/173, H01L21/82, H01L27/04, G06F15/16, G06F17/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2000年
 日本国登録実用新案公報 1994-2000年
 日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|---|---|
| X | JP 8-101761 A(ヒルキントン ジャーマニー (ナンバー2)リミテッド) 1996. 04. 16 全文, 全図 & EP 668659 A2 | 1-3, 6, 7, 12, 16-20, 22, 24, 25, 32 |
| Y | | 4, 5, 8-11, 13-15, 21, 23, 26-31, 33-41 |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

26. 08. 02

国際調査報告の発送日

10.09.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

衣嶋 文彦

5X

9199

電話番号 03-3581-1101 内線 3556

| C (続き). 関連すると認められる文献 | | |
|----------------------|--|--|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
| Y A | JP 8-510885 A(リジエンツ オブ ザ エナージェイ オブ カリフォルニア) 1996. 11. 12 8頁9行~26行, 図1 & WO 94/28475 A1 & EP 701713 A1 & US 5596743 A | 4, 23 1-3, 5-22, 24-41 |
| Y A | JP 8-51356 A(ザ イリクス・インコーポレイテッド) 1996. 02. 20 10頁左欄34行~右欄17行, 図6B & US 5426378 A & EP 678985 A2 | 5, 21 1-4, 6-20, 22-41 |
| Y A | JP 11-353152 A(日本電気株式会社) 1999. 12. 24 21頁右欄1行~43行、27頁右欄45行~28頁右欄4行, 図1、図30-32 & US 6188240 B1 | 8-11, 14, 26-31 1-7, 12, 13, 15-25, 32-41 |
| Y A | JP 7-86921 A(アクテル・コーポレーション) 1995. 03. 31 5頁左欄6行~6頁左欄10行, 図2A & EP 639816 A2 & US 5457644 A | 13, 33, 34 1-12, 14-32, 35-41 |
| Y A | JP 9-246954 A(インターナショナル・ビジネス・マシーンス・コーポレーション) 1997. 09. 19 6頁左欄40行~右欄41行, 図4 & EP 748052 A1 & US 5692147 A | 15 1-14, 16-41 |
| Y A | JP 11-120210 A(株式会社東芝) 1999. 04. 30 全文, 全図 (ファミリーなし) | 35-41 1-34 |
| A | JP 2000-512097 A(シストリックス リミテッド) 2000. 09. 12 10頁25行~12頁28行, 図2~10 & WO 97/46948 A1 & EP 976059 A1 & US 2002/0019925 A1 | 1-41 |
| A | WO 99/00731 A1(CHAMELEON SYSTEMS, INC.) 1999. 01. 07 全文, 全図 & US 5966534 A & EP 991997 A1 & JP 2002-508102 A | 1-41 |

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)